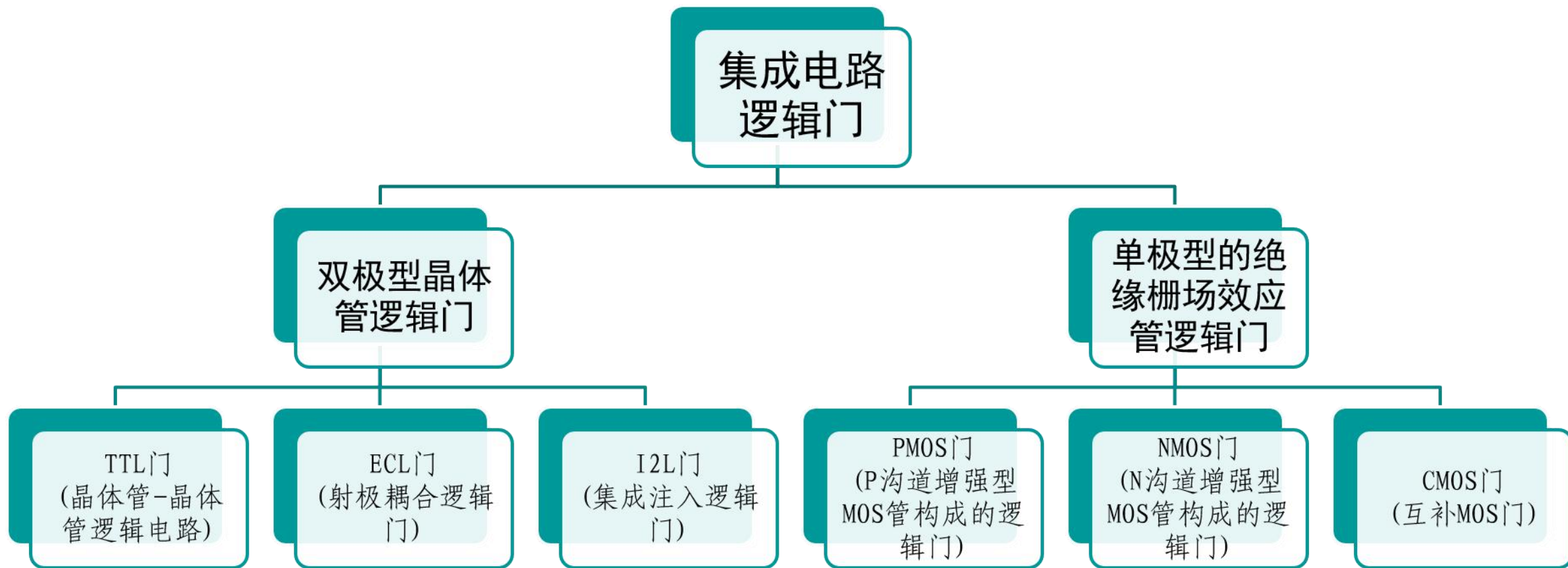


# 第 3 章

# 逻辑门电路

## • 3.1 概述

- 3.2 分立元件逻辑门
- 3.3 CMOS集成逻辑门
- 3.4 TTL集成逻辑门
- 3.5 集成逻辑门相关概念



- 3.1 概述

- **3.2 分立元件逻辑门**

- 3.3 CMOS集成逻辑门

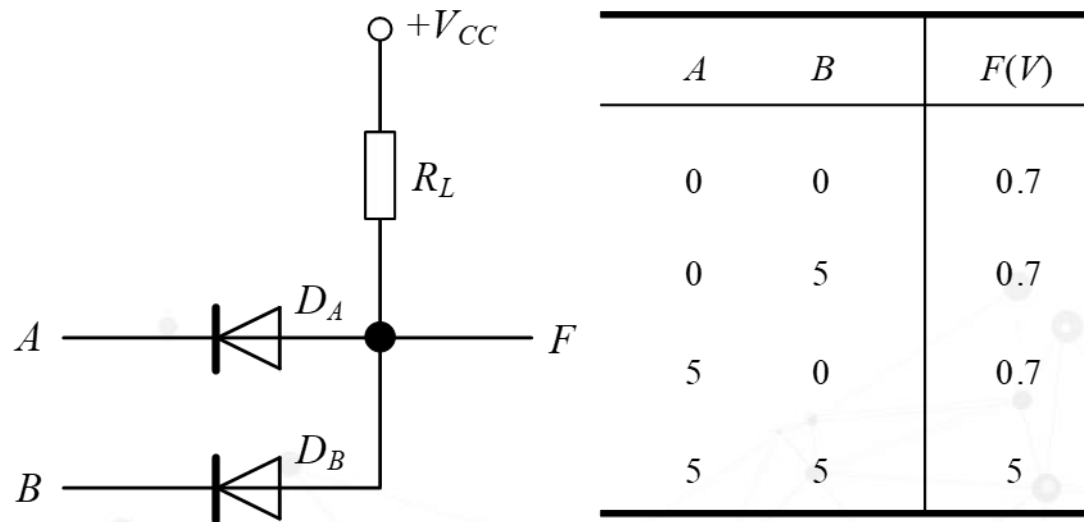
- 3.4 TTL集成逻辑门

- 3.5 集成逻辑门相关概念

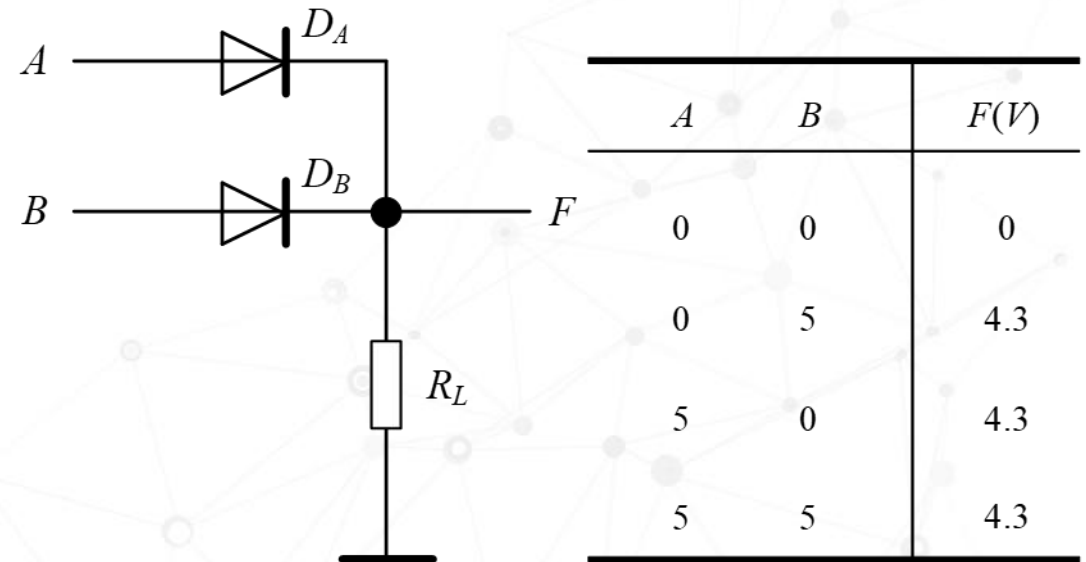
# 分立元件逻辑门

## 1. 二极管与门、或门

二极管与门:

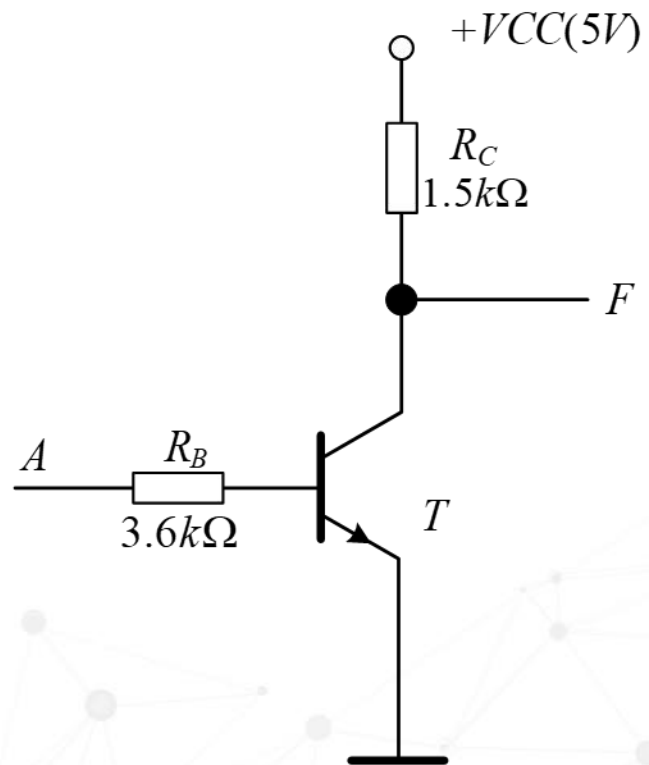


二极管或门:



# 分立元件逻辑门

## 2. 三极管非门



$A$	$F(V)$
0	5
1	0.3

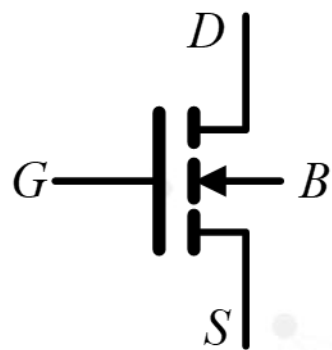
- 3.1 概述
- 3.2 分立元件逻辑门
- **3.3 CMOS集成逻辑门**
- 3.4 TTL集成逻辑门
- 3.5 集成逻辑门相关概念

# CMOS集成逻辑门

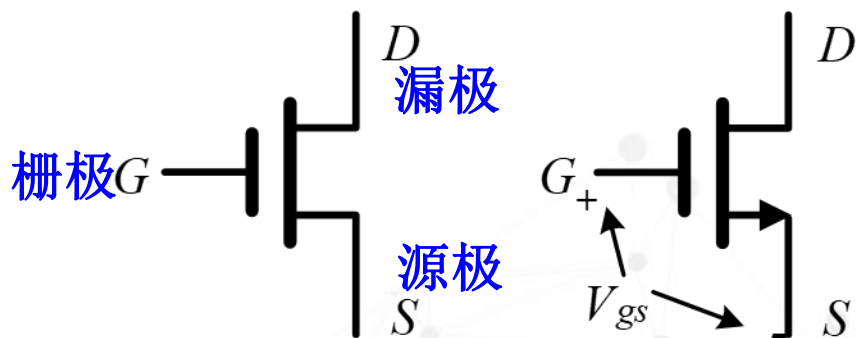
## 1. 增强型MOS管的工作原理

N沟道的MOS晶体管，即NMOS晶体管：

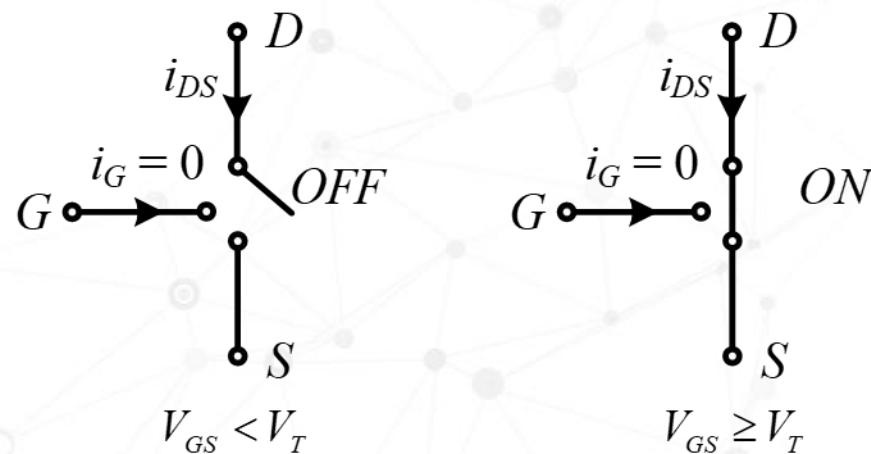
(a) NMOS晶体管符号



(b) NMOS晶体的两种简化符号



(c) NMOS晶体的等效模型



G和S加高电平，D和S导通



# CMOS集成逻辑门

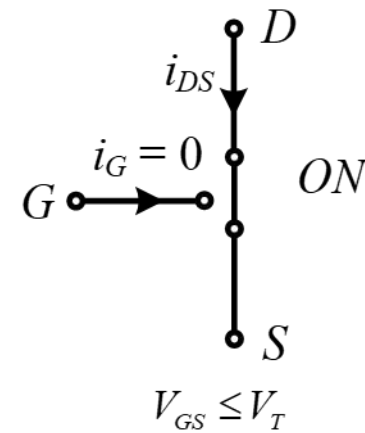
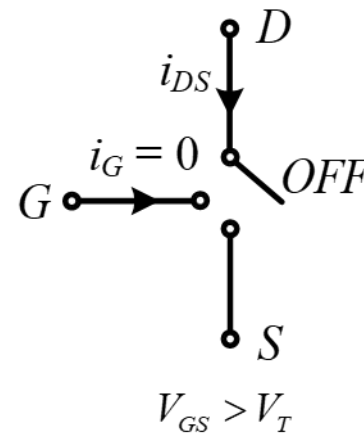
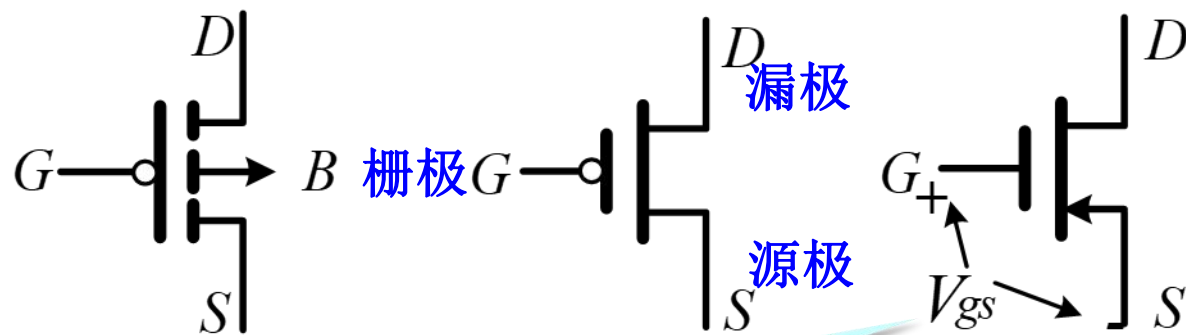
## 1. 增强型MOS管的工作原理

P沟道的MOS晶体管，即PMOS晶体管：

(a) PMOS晶体管符号

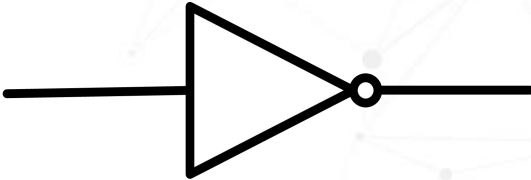
(b) PMOS晶体的两种简化符号

(c) NPMOS晶体的等效模型



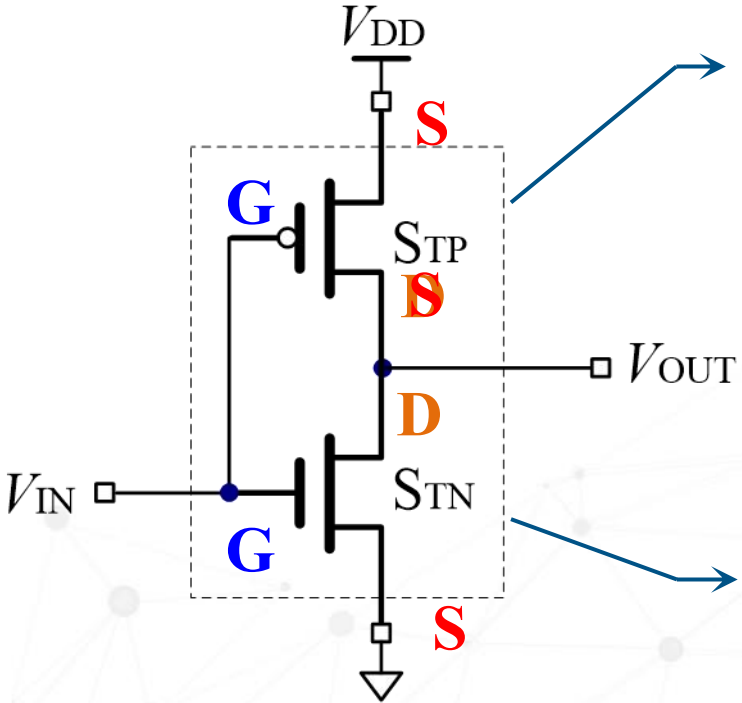
G和S加低电平，D和S导通

# CMOS集成逻辑门



## 2. CMOS逻辑门电路

### (1) CMOS反相器（CMOS非门）工作原理



PMOS

当Vi为低电平时“导通”

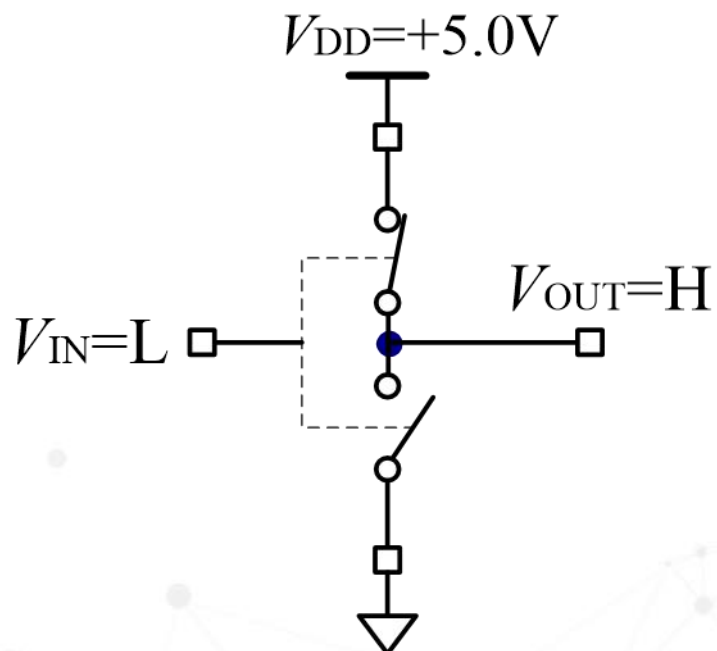
$$|V_{gs}| = |V_G - V_S| \geq |V_{th}|$$

NMOS

当Vi为高电平时“导通”

## 2. CMOS逻辑门电路

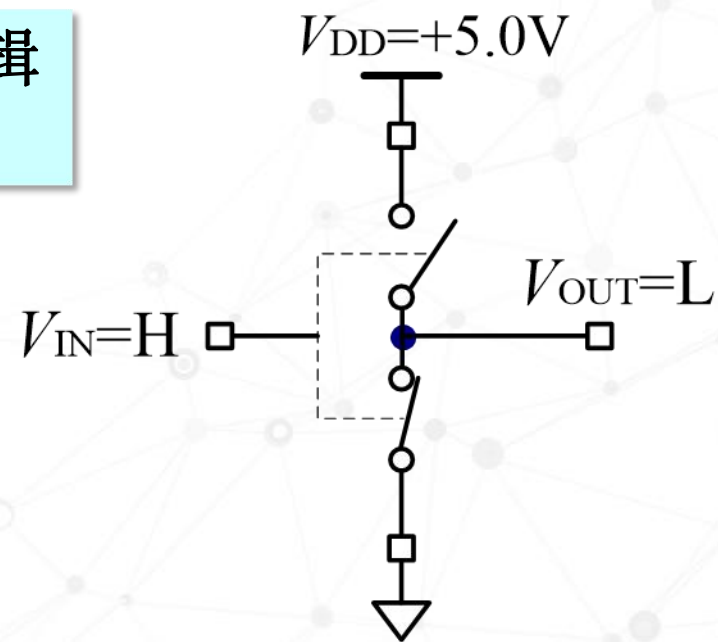
### (1) CMOS反相器



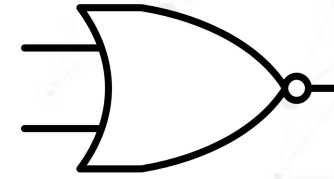
①输入为低电平0V时，  
N管截止；P管导通。  $V_{OUT} = V_{DD}$ ;

输入与输出间是逻辑  
非关系

②输入为高电平VDD时，  
P管截止；N管导通。  $V_{OUT} = 0V$ ;

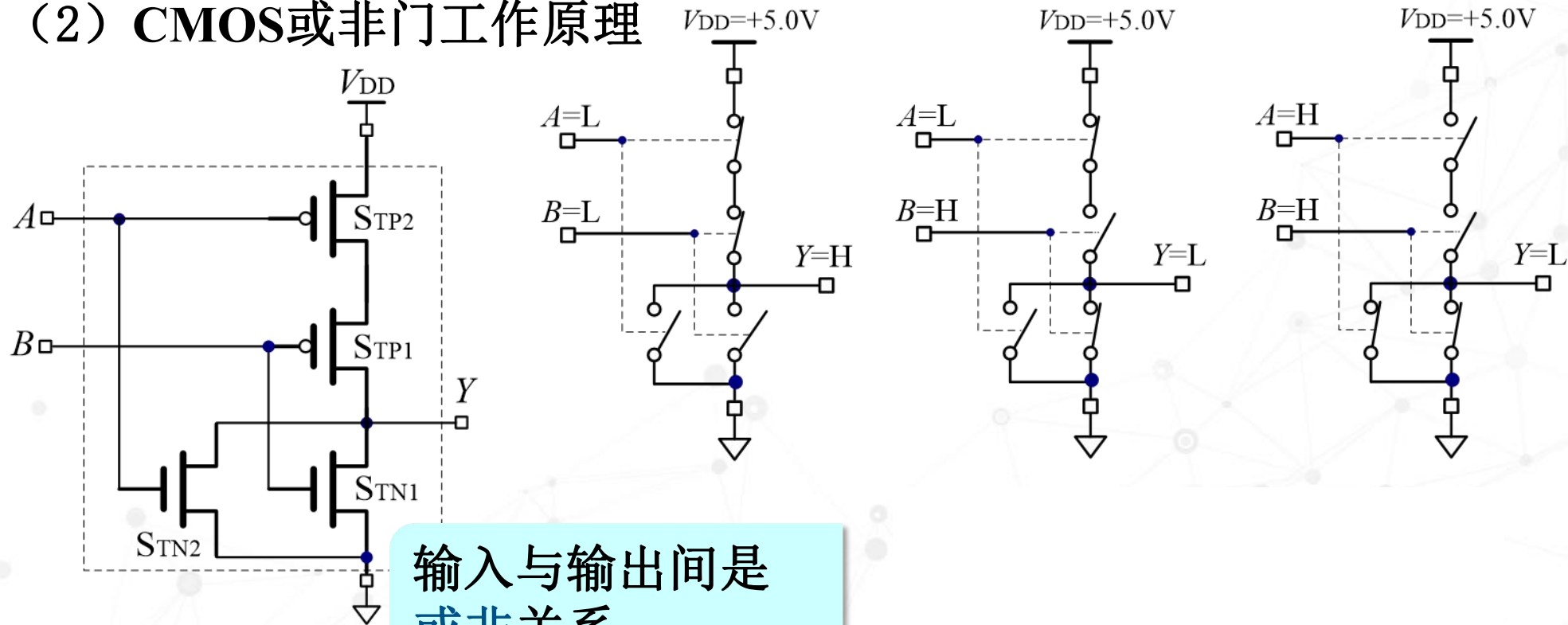


# CMOS集成逻辑门



## 2. CMOS逻辑门电路

### (2) CMOS或非门工作原理

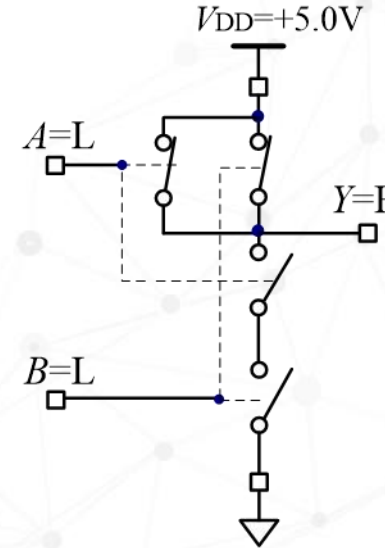
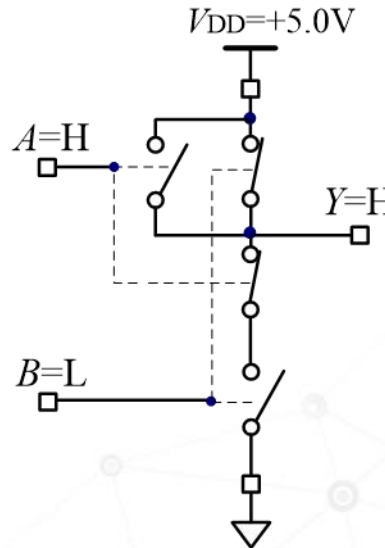
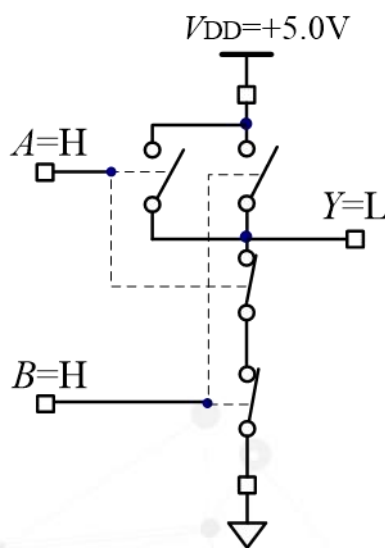
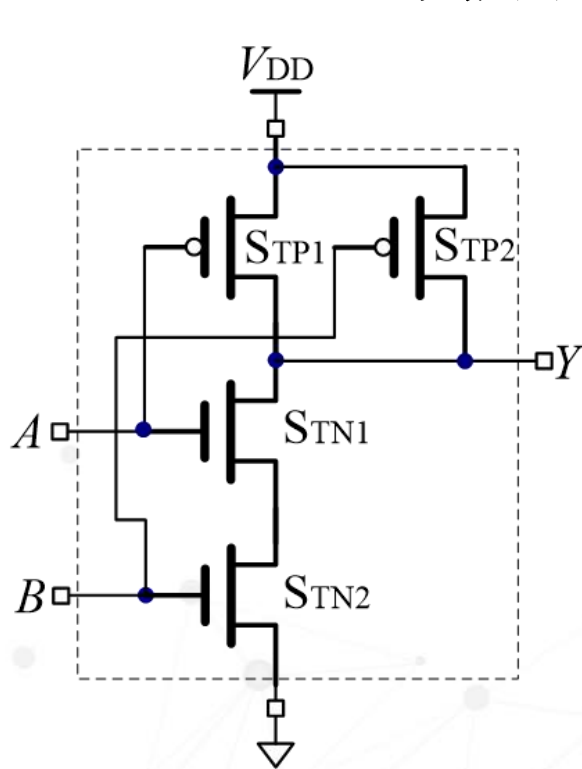
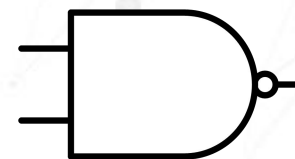


输入与输出间是或非关系

# CMOS集成逻辑门

## 2. CMOS逻辑门电路

### (3) CMOS与非门工作原理



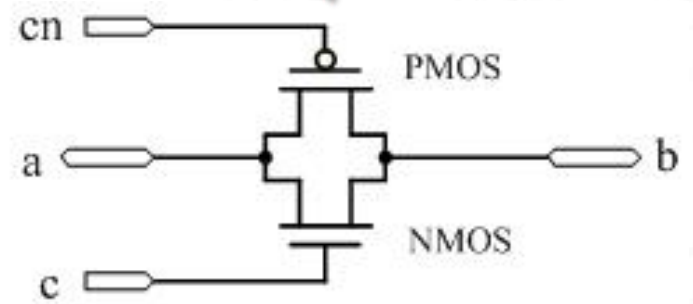
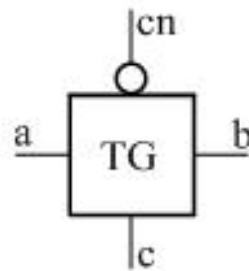
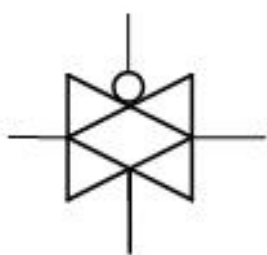
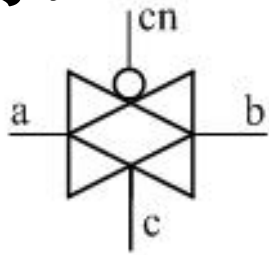
输入与输出间是  
与非关系

# CMOS集成逻辑门

## 3. CMOS传输门及其构建的逻辑门

### (1) 传输门的结构和性能特点

- ①当 $cn=0, c=1$ 时，NMOS和PMOS同时导通，a的信号可传输到b,b的信号也可传输到a，形成一个双向通道。
- ②当 $cn=1, c=0$ 时，NMOS和PMOS同时关闭，ab之间无法传输信号。



正常工作时， $cn=c'$

源极、漏极相连，为a、b两个端口

# CMOS集成逻辑门

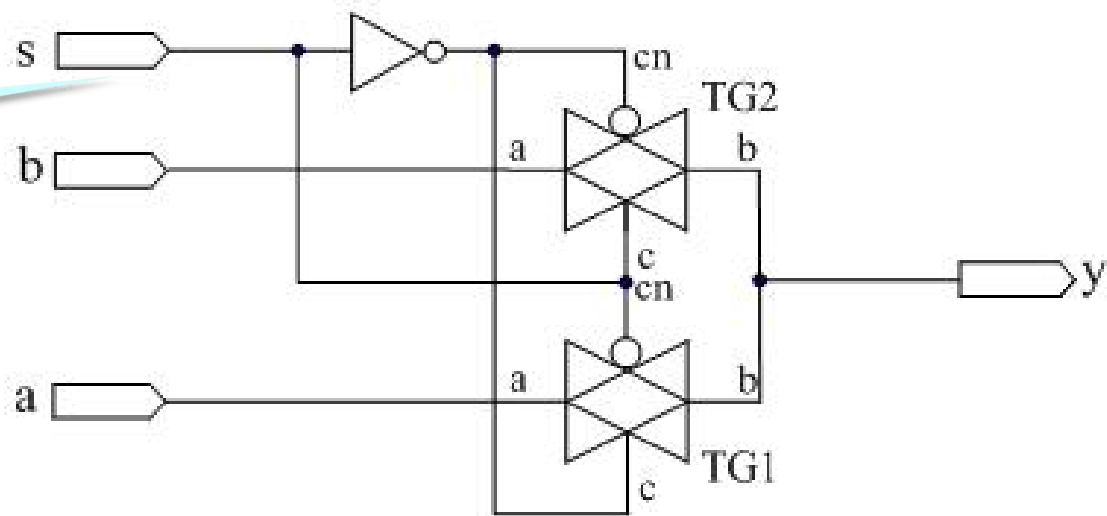
## 3. CMOS传输门及其构建的逻辑门

(1) 传输门的结构和性能特点

选择控制信号S

2选1多路选择器

$$y = \bar{s} \cdot a + s \cdot b$$



S=0时，TG1导通，TG2截止，输出高阻状态，输出y=a;

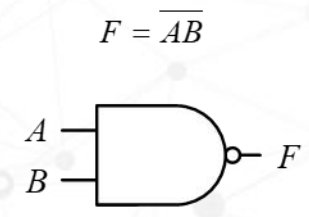
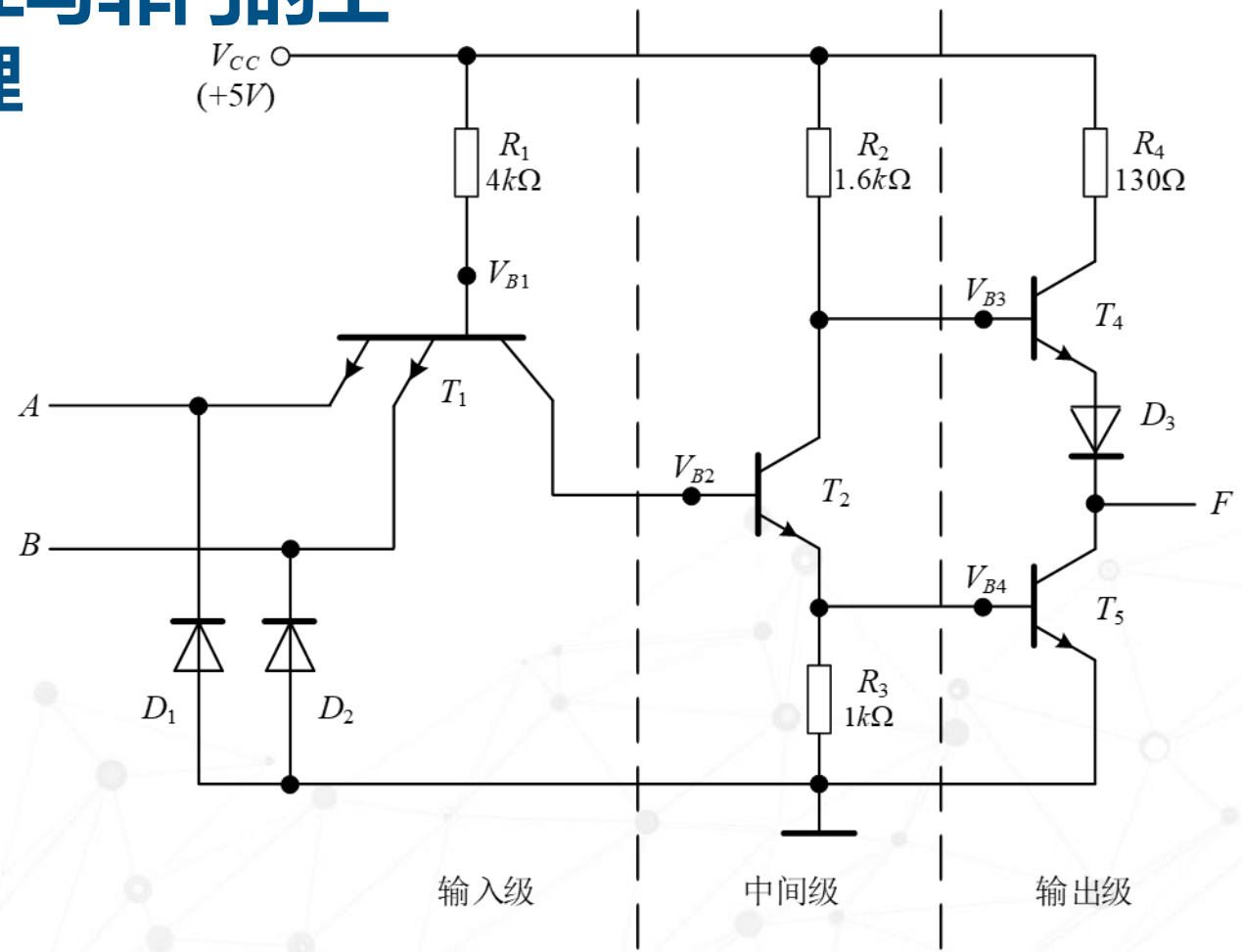
S=1时，TG2导通，TG1截止，输出高阻状态，输出y=b;

- 3.1 概述
- 3.2 分立元件逻辑门
- 3.3 CMOS集成逻辑门
- **3.4 TTL集成逻辑门**
- 3.5 集成逻辑门相关概念



# TTL集成逻辑门

## 1. TTL与非门的工作原理

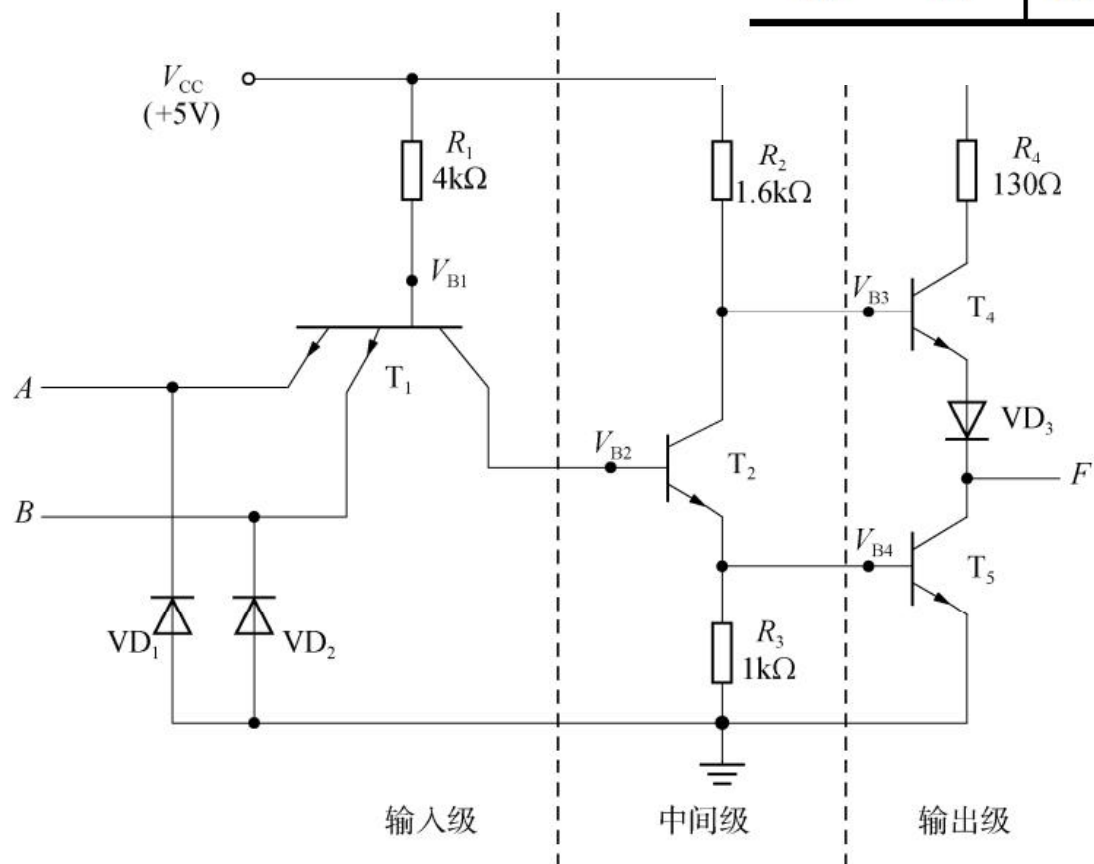


# TTL集成逻辑门

## 1. TTL与非门的工

表 3-4 TTL 与非门电平真值表 ( OFF-截止, ON-导通 )

$A$	$B$	$T_1$	$V_{B1}$	$V_{B2}$	$T_2$	$V_{B3}$	$V_{B4}$	$T_4$	$T_5$	$F$
L	L	ON	$\leq 1.4V$	$\leq 1.0V$	OFF	$\geq 3.6V$	$\leq 0.4V$	ON	OFF	H
L	H	ON	$\leq 1.4V$	$\leq 1.0V$	OFF	$\geq 3.6V$	$\leq 0.4V$	ON	OFF	H
H	L	ON	$\leq 1.4V$	$\leq 1.0V$	OFF	$\geq 3.6V$	$\leq 0.4V$	ON	OFF	H
H	H	OFF	2.1V	1.4V	ON	1.0V	0.7V	OFF	ON	L



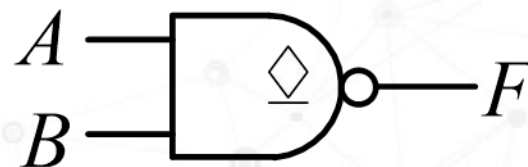
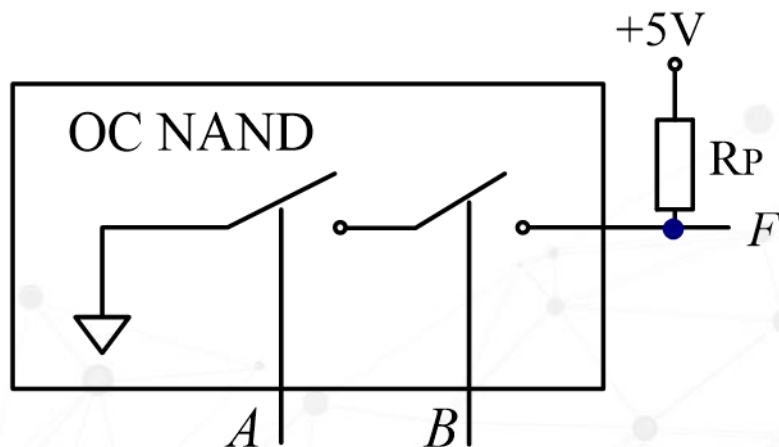
$A$	$B$	$F$
0	0	1
0	1	1
1	0	1
1	1	0

## 2. 集电极开路门和漏极开路门

集电极开路门（OC门） 特点：门电路内部输出三极管的集电极是开路的。

漏极开路门（OD门）

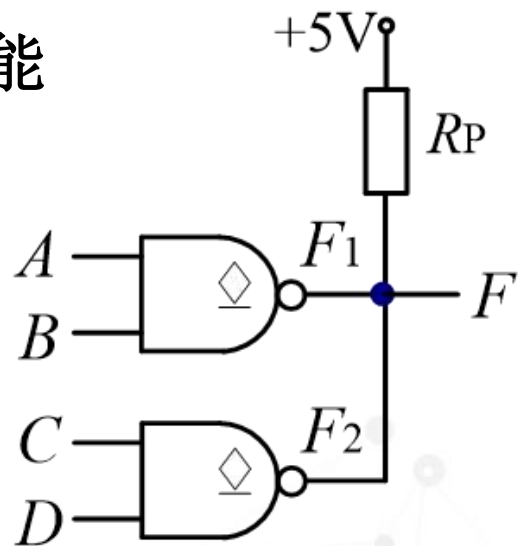
特点：CMOS门电路内部输出级电路中的NMOS漏极开路输出。



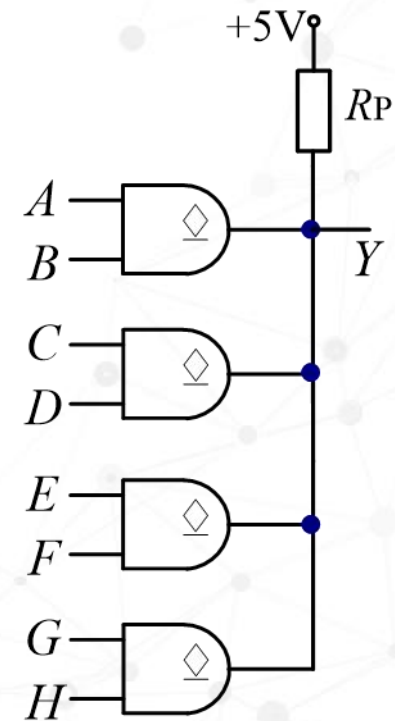
OC/OD门必须外接上拉电阻 $R_P$   
(将电阻的一端接于高电平称为上拉)

## 2. 集电极开路门和漏极开路门

(1) 实现线与功能



$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$

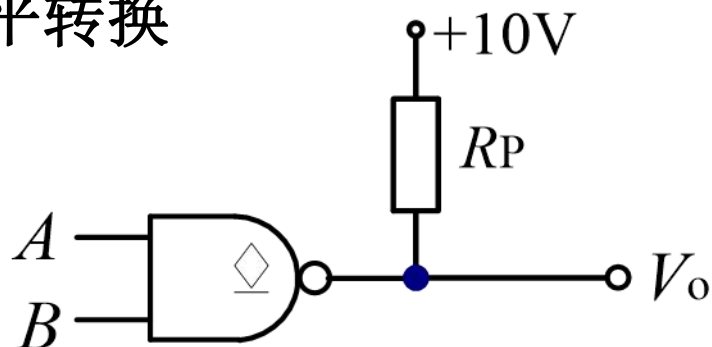


$$Y = AB \cdot CD \cdot EF \cdot GH$$

# TTL集成逻辑门

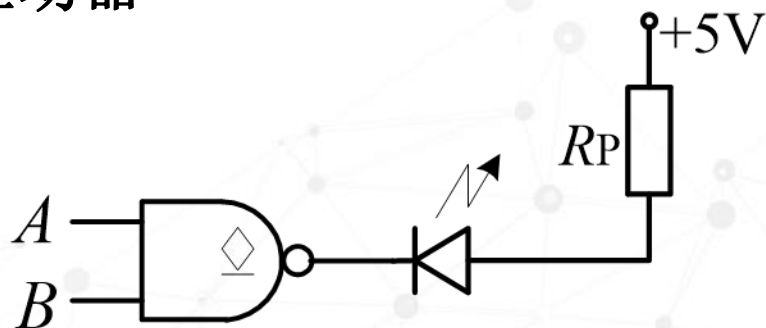
## 2. 集电极开路门和漏极开路门

(2) 实现电平转换



输入普通TTL高电平(3~5V), 输出可提供10V高电平, 可适应需要较高电平的器件。

(3) 用做驱动器



当OC门输出低电平时, 电流通过上拉电阻经发光二极管流入OC门的地, 则发光二极管导通发光; 反之则截止。

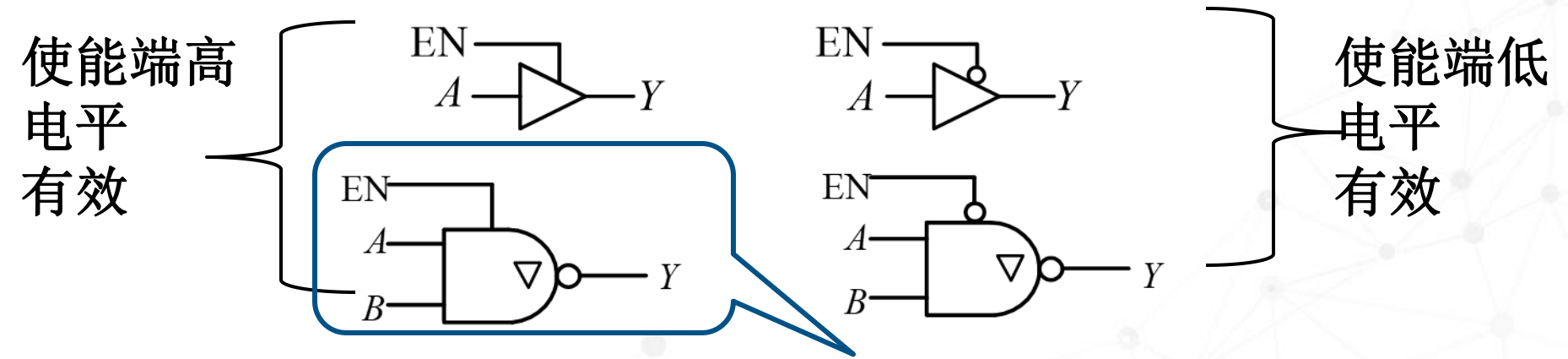
## 3. 三态门（简称TS门）

在普通逻辑门电路的基础上增加一些专门的控制电路，以及一个控制使能端，即三态使能端：**EN**端。通过**1**、**0**逻辑电平控制此端。

除了高低电平两种逻辑状态或逻辑值外，还有第三种逻辑状态——**高阻态**（禁止状态、电路断开状态）。在第三种逻辑状态下，三态门的输出端相当于悬空（电路断开），此时输出端就好像一根空头的导线，其电压值可浮动在高低电平之间的任意数值上。

## 3. 三态门 (简称TS门)

三态门的符号及功能表



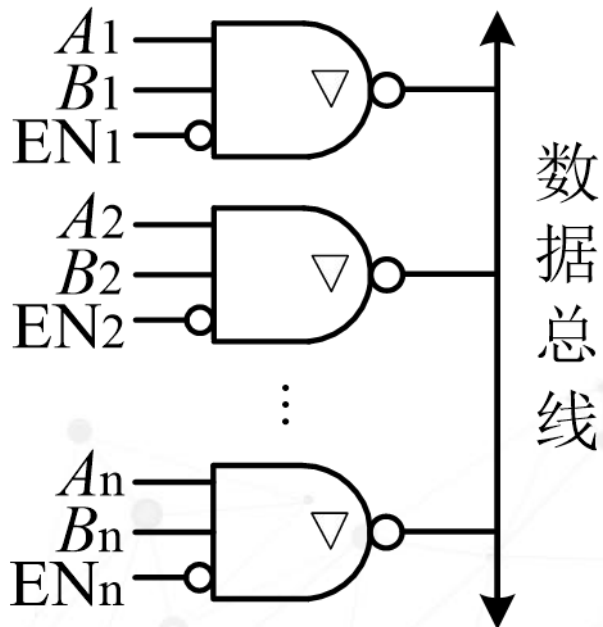
使能端	数 据		输出端
EN	A	B	Y
0	x	x	高阻态 Z
1	$Y = \overline{A \cdot B}$		

## 3. 三态门（简称TS门）

### 三态门的用途

三态门主要作为TTL电路与总线间的接口电路。

#### (1) 用三态门接成总线结构



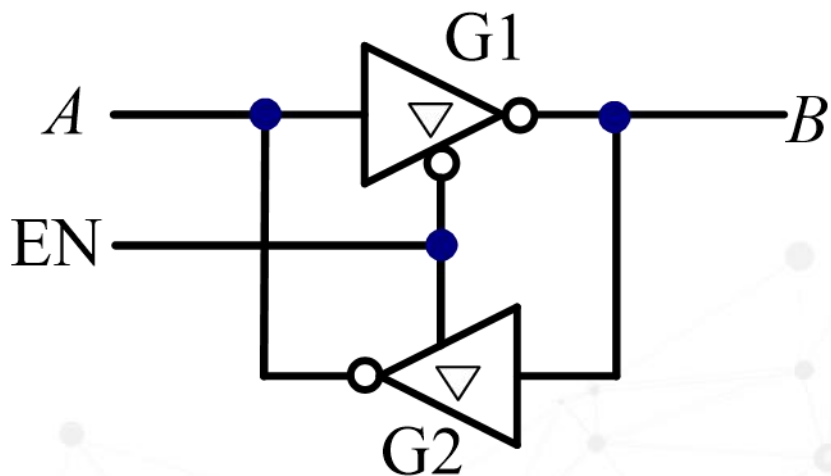
总线是一个对来自不同信号源能分时传输这些不同来源信号或数据的单通道信号传输系统。

适当控制各个门的使能端，轮流定时地使各个EN有效，任何时刻只能一个有效，就可把各个门的信号轮流传送到总线。否则数据混乱，损坏器件。



## 3. 三态门（简称TS门） 三态门的用途

(2) 用三态门实现数据的双向传输



EN=0时，G1导通，G2禁止，数据从A到B传输。  
EN=1时，G2选通，G1禁止，数据从B到A。

- 3.1 概述
- 3.2 分立元件逻辑门
- 3.3 CMOS集成逻辑门
- 3.4 TTL集成逻辑门

- **3.5 集成逻辑门相关概念**

## 1. 集成逻辑门的性能参数

(1) 器件的工作电压：TTL为4.5-5.5V，CMOS为3-18V。

74系列CMOS集成逻辑门的工作电压为2V~6V。3.3V的CMOS电路当其电源电压在2-3.6V范围内时仍能正常工作。

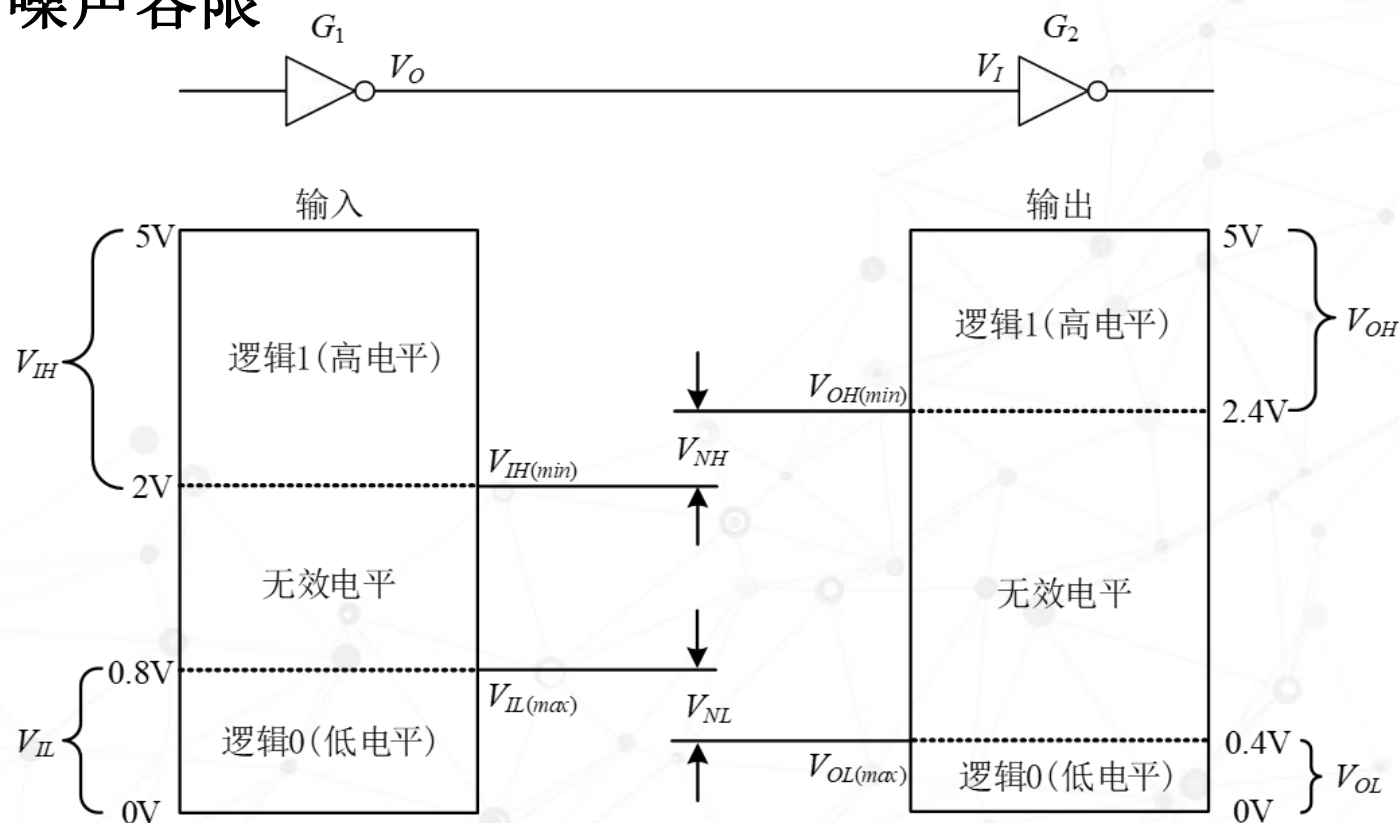
多个工作电源电压：内核工作电源电压VCCINT、输入输出端口驱动电源电压VCCIO、特定核心模块工作电压（如嵌入式锁相环工作电压VCCAPLL）。

# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (2) 逻辑器件的逻辑电平与噪声容限

集成门的电路的输出的高、低电平并不是理想的高电平**5V**或低电平**0V**，主要由于制造工艺的离散性、环境温度等外部条件的不同等。

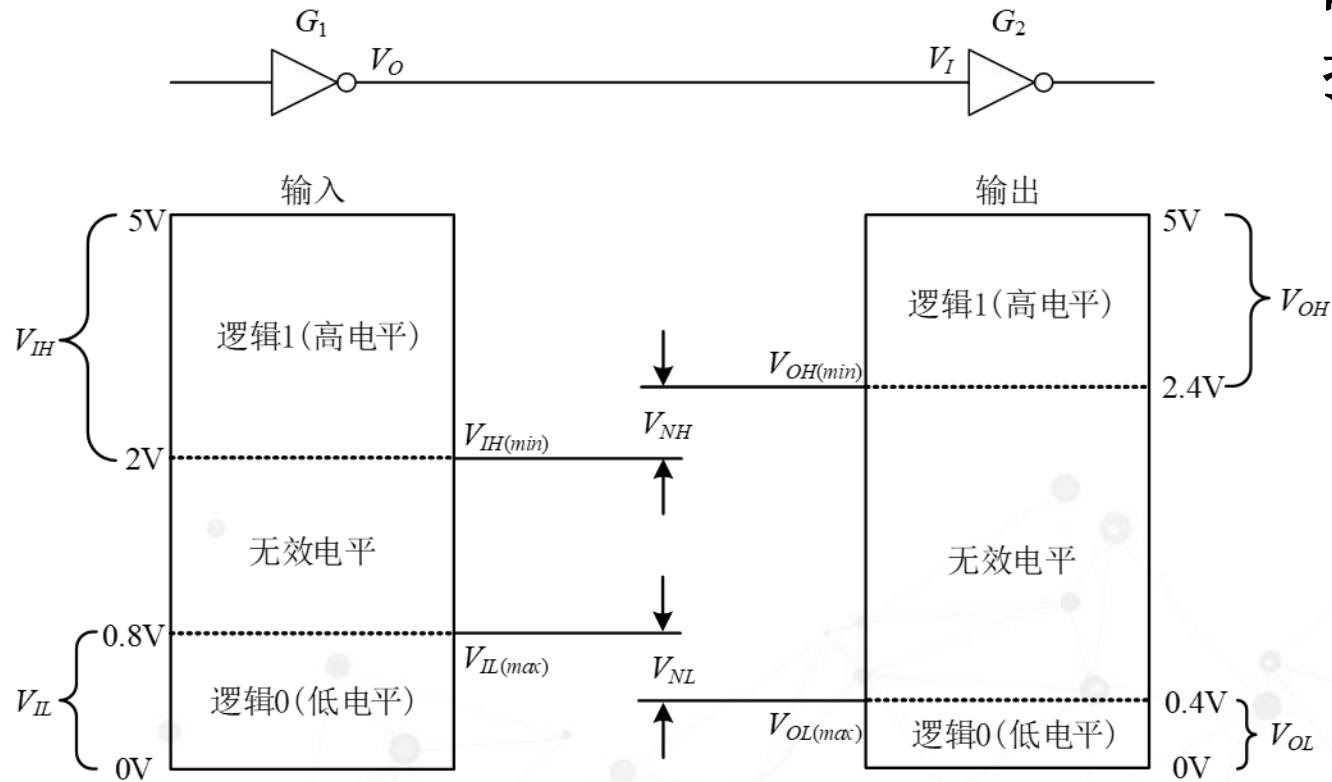


# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (2) 逻辑器件的逻辑电平与噪声容限

噪声容限：规定输入端所允许加入的干扰噪声的大小



高电平噪声容限  $V_{NH}$ ：允许叠加在输入高电平上的最大噪声电压；

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

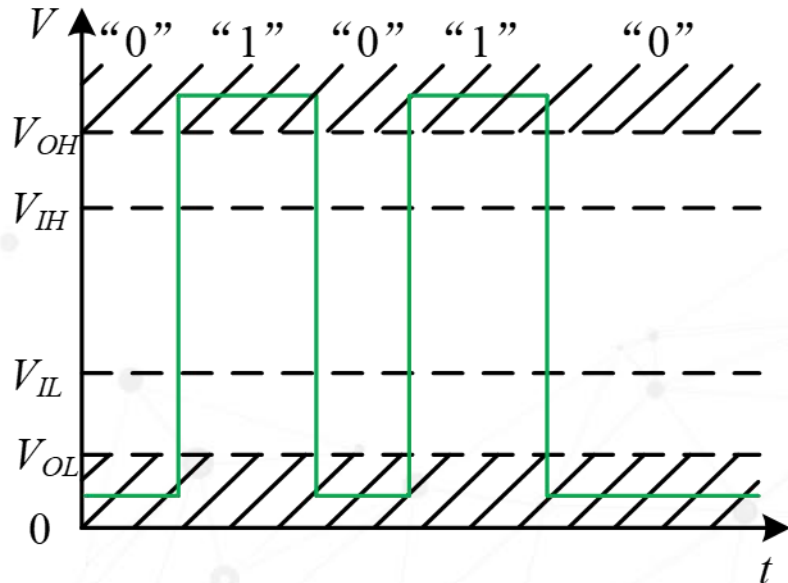
低电平噪声容限  $V_{NL}$ ：允许叠加在输入低电平上的最大噪声电压

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

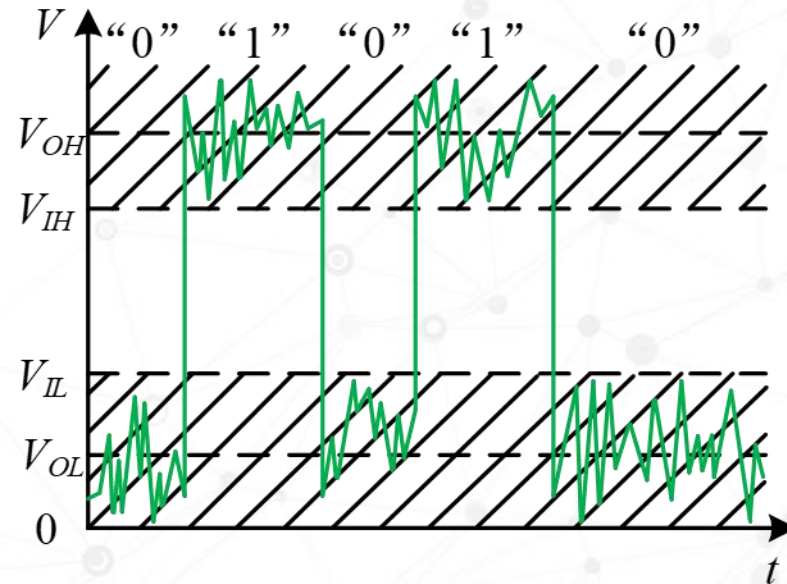
# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (2) 逻辑器件的逻辑电平与噪声容限



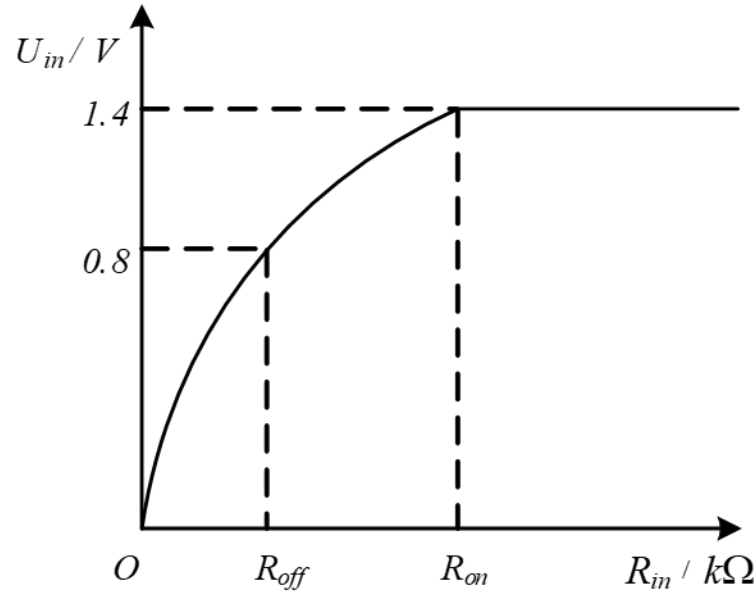
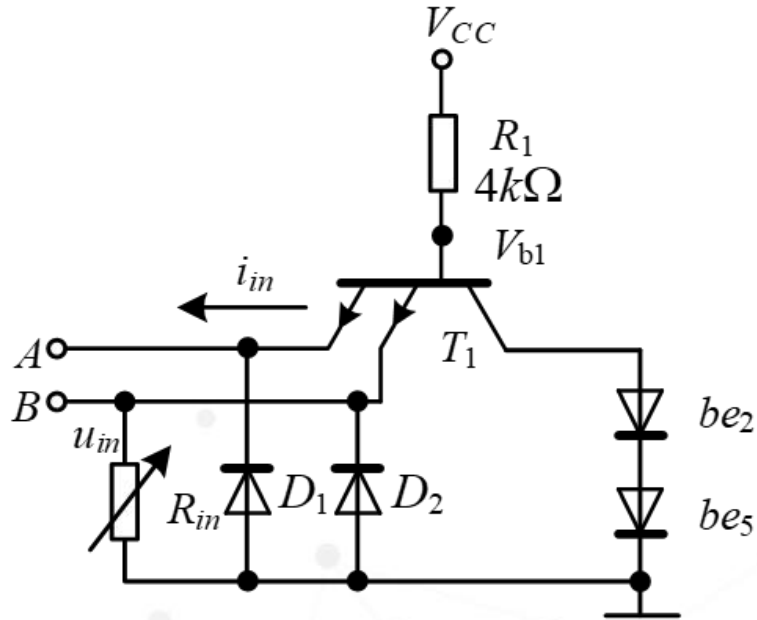
G1输出串行数据**01010**，其逻辑1的电平在 $V_{OH}$ 和5V间，逻辑0的电平在0V和 $V_{OL}$ 间。只有当干扰的噪声没有超过噪声容限规定时，即逻辑0的电平没有超过 $V_{IL}$ ，逻辑1的电平没有低于 $V_{IH}$ ，G2门才能正确地接收到串行数据**01010**。



# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (3) 输入端负载特性



$U_{in}$ 随着输入负载 $R_{in}$ 变化的关系

1. 当 $R_{in}$ 较小时,  $V_{in}$ 随 $R_{in}$ 的增加而升高

$$V_{in} = \frac{V_{CC} - u_{be1}}{R_1 + R_{in}} R_{in}$$

2. 当 $V_{in} \leq V_{IL(max)}$ 时, 输入低电平, 电路输出高电平。

当 $V_{in} = V_{IL(max)}$ 时,  $R_{in}$ 称**关门电阻**

$R_{off}$ 。  $R_{off} = 0.91k\Omega \approx 1k\Omega$ 。

3.  $V_{in} = V_T = 1.4V$ 时,  $R_{in}$ 称为**开门电阻** $R_{on}$ 。  $R_{on} = 1.93k\Omega \approx 2k\Omega$ 。

**TTL门:** 当 $R_{in} \geq R_{on}$ , 相当于输入高电平;  
当 $R_{in} \leq R_{off}$ , 相当于输入低电平。

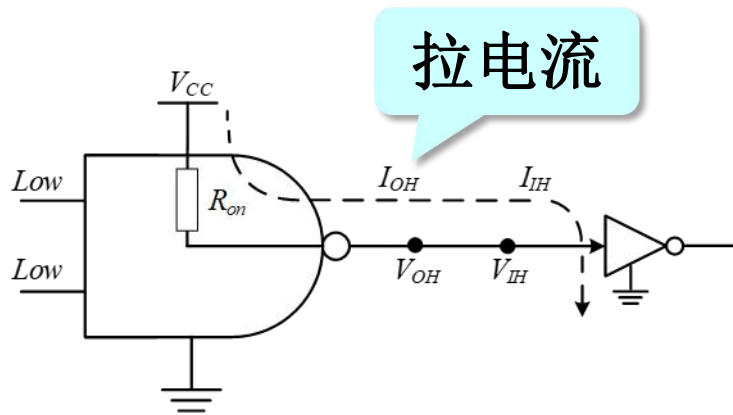
**CMOS门:** 无论输入端串接一个多大电阻都不会改变其原有的逻辑电平。

# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

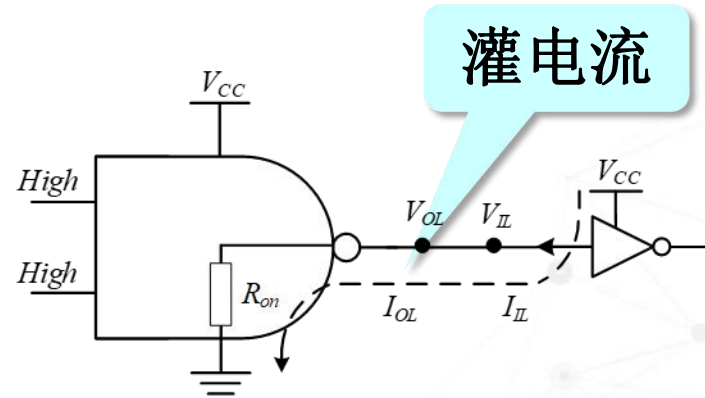
### (4) 集成逻辑电路的扇入和扇出系数

两种逻辑  
状态中电  
流和电压



$$V_{OH} = V_{CC} - I_{OH} \cdot R_{ON} = V_{CC} - I_{IH} \cdot R_{ON}$$

拉电流越大，输出端的高电平就越低，有一最小值  $V_{OH(min)}$ ，对应一最大值  $I_{OH(max)}$



$$V_{OL} = I_{OL} \cdot R_{ON} = I_{IL} \cdot R_{ON}$$

灌电流越大，输出端的低电平就越高，有一最大值  $V_{OL(max)}$ ，对应一最大值  $I_{OL(max)}$



# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (4) 集成逻辑电路的扇入和扇出系数

扇入系数 $N_i$ : 一个逻辑门电路所能允许的输入端个数。

扇出系数 $N_o$ : 一个逻辑门电路所能驱动的同类门电路输入端的最大数目。

扇出系数越大，门电路的带负载能力就越强。**CMOS**电路的扇出系数比**TTL**电路高。

逻辑门输出高电平的扇出系数:

$$NOH = \frac{I_{OH(max)}}{I_{IH(max)}}$$

取小者

逻辑门输出低电平的扇出系数:

$$NOL = \frac{I_{OL(max)}}{I_{IL(max)}}$$

进入单个同类门一个输入端的最大漏电流

从单个同类门一个输入端的短路电流（即将此端接地的电流）

# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

### (4) 集成逻辑电路的扇入和扇出系数

【例】已知74ALS00的电流参数为 $I_{OL(max)} = 8\text{mA}$ ， $I_{IL(max)} = 0.1\text{mA}$ ， $I_{OH(max)} = 0.4\text{mA}$ ， $I_{IH(max)} = 20\mu\text{A}$ 。求一个74ALS00与非门输出能驱动多少个74ALS00与非门的输入。

解：在低电平状态下得到能被驱动的输入个数：

$$NOL = \frac{I_{OL(max)}}{I_{IL(max)}} = \frac{8\text{mA}}{0.1\text{mA}} = 80$$

在高电平状态能驱动的输入个数是：

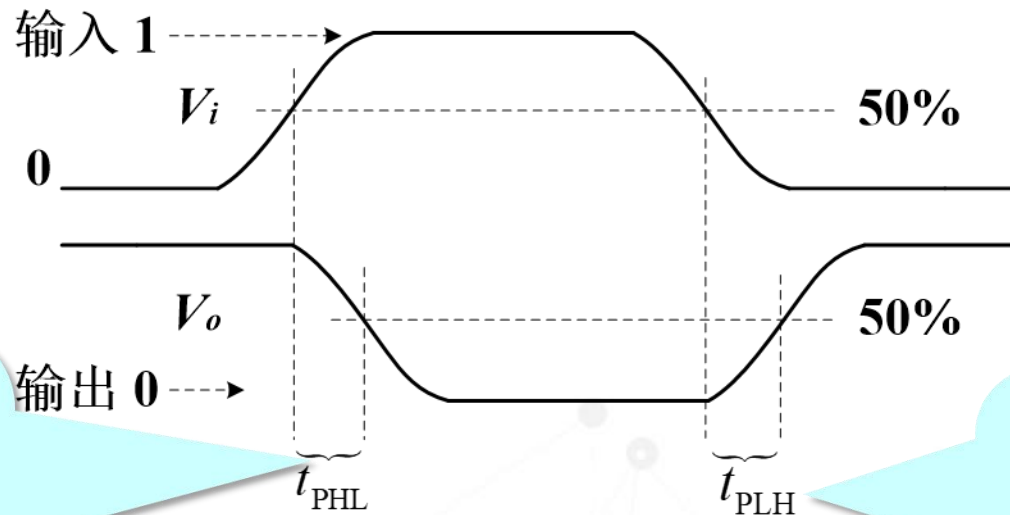
$$NOH = \frac{I_{OH(max)}}{I_{IH(max)}} = \frac{400\mu\text{A}}{20\mu\text{A}} = 20$$

现代的数字系统设计中，扇入扇出问题在设计软件中被自动考虑进去，不必人为介入。

# 集成逻辑门相关概念

## 1. 集成逻辑门的性能参数

(5) 平均传输延迟时间



输出从高电平转换到低电平时，输入、输出脉冲边沿的50%之间的时间记为 $t_{PHL}$

$$t_{pd} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

输出从低电平转到高电平时记为 $t_{PLH}$

(6) 集成逻辑门器件的功耗

$$P_D = V_{CC} \left( \frac{I_{CCH} + I_{CCL}}{2} \right)$$

## 2. TTL集成电路逻辑门及同类CMOS器件系列

TTL门电路是由双极型三极管构成，工作速度快，抗静电能力强，但是功耗较大，不适宜做成大规模集成电路。

### 74系列

- 74：标准TTL（Standard TTL）。
- 74L：低功耗TTL（Low-power TTL）。
- 74S：肖特基TTL（Schottky TTL）。
- 74AS：先进肖特基TTL（Advanced Schottky TTL）。
- 74LS：低功耗肖特基TTL（Low-power Schottky TTL）。
- 74ALS：先进低功耗肖特基TTL（Advanced Low-power Schottky TTL）。

## 2. TTL集成电路逻辑门及同类CMOS器件系列

### 速度与功耗比较

速度	TTL系列	功耗	TTL系列
最快	74AS	最小	74ALS
	74F		<b>74LS</b>
	74S		74F
	74ALS		74AS
	<b>74LS</b>		74
最慢	74	最大	74S

## 2. TTL集成电路逻辑门及同类CMOS器件系列

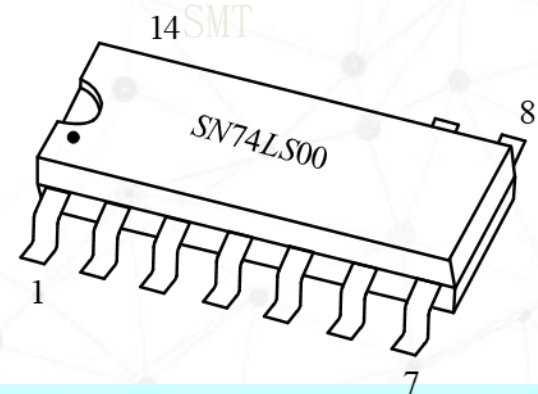
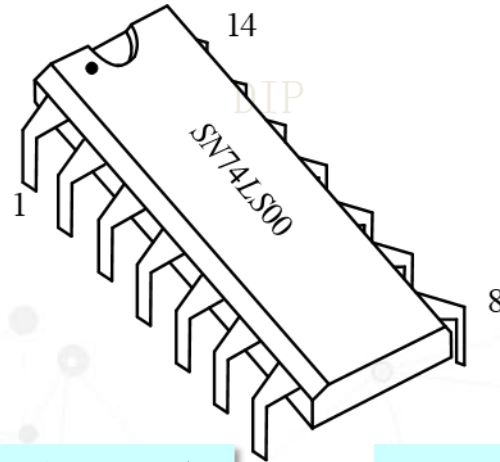
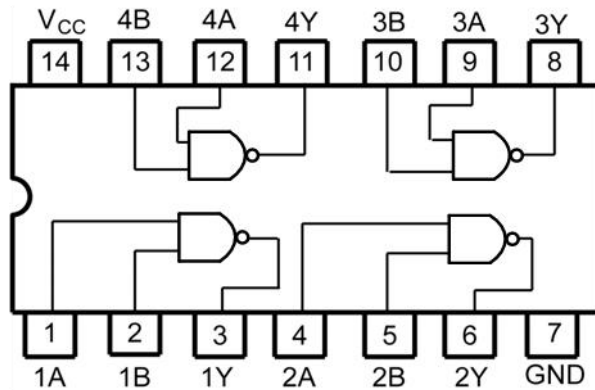
**CMOS门电路集成度高，功耗低，工作速度较慢，抗静电能力差。**

- **74HC和74HCT**：高速CMOS（High-speed CMOS），T表示和TTL直接兼容。
- **74AC和74ACT**：先进CMOS（Advanced CMOS），它们提供了比TTL系列更高的速度和更低的功耗。
- **74AHC和AHCT**：先进高速CMOS（Advanced High-speed CMOS）。
- **74系列3.3V CMOS门电路的基本子系列有：**
- **74LVC**：低压CMOS（Lower-voltage CMOS）。
- **74ALVC**：先进低压CMOS（Advanced Lower-voltage CMOS）。

# 集成逻辑门相关概念

## 2. TTL集成电路逻辑门及同类CMOS器件系列

注意：引脚配置及排列情况，分清每个门的输入端；输出端和电源端、接地端所对应的引脚，产品数据手册。



**DIP封装**，采用塑料或陶瓷封装技术，绝缘密封、强度和耐高温性能好，利于直接插到电路板上。

缺点：体积大，可向外引的引脚数太少。

**SMT封装**，引脚密度高、面积小，**SMT**芯片可直接贴焊在**PCB**电路板的表面，可在**PCB**上放置更多的集成芯片，提高集成度。

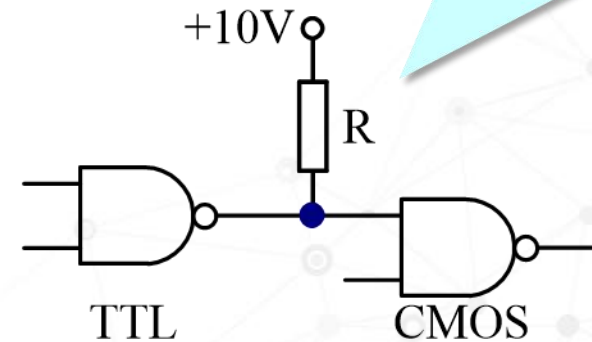
# 集成逻辑门相关概念

## 3. CMOS与TTL逻辑器件的封装

连接条件:

驱动门		负载门
$V_{OH(min)}$	>	$V_{IH(min)}$
$V_{OL(max)}$	<	$V_{IL(max)}$
$I_{OH}$	>	$I_{IH}$
$I_{OL}$	>	$I_{IL}$

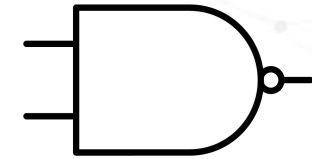
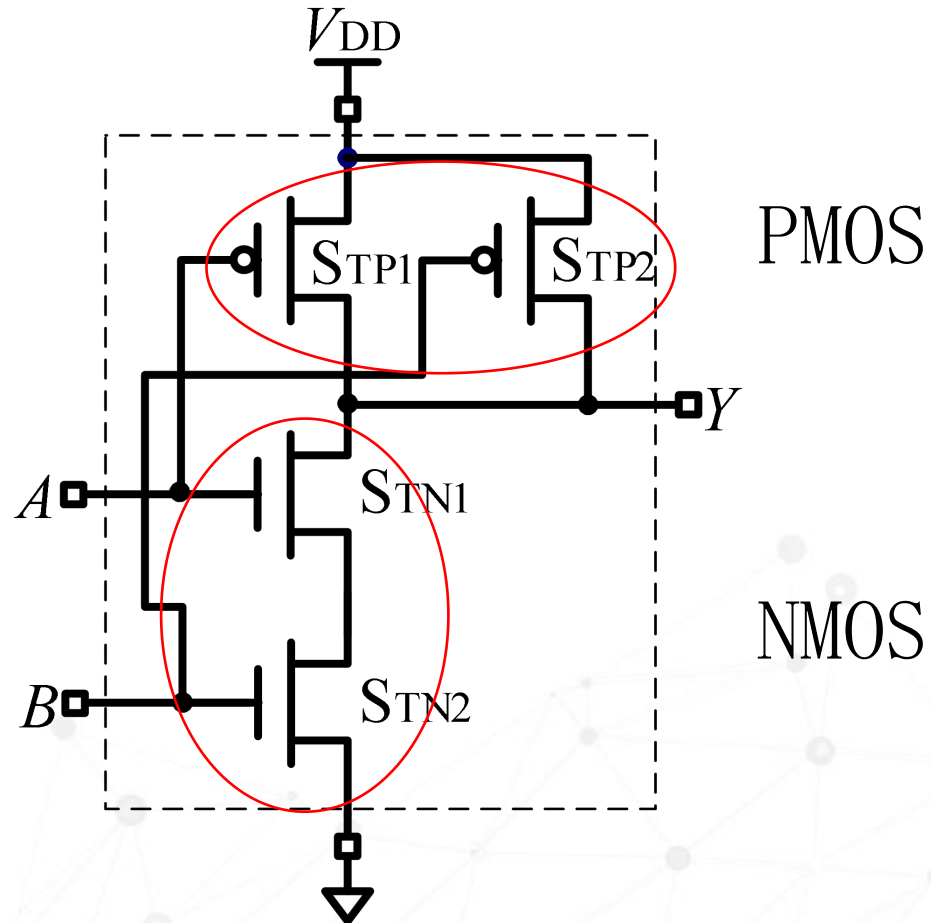
不满足条件时，必须增加接口电路，如上拉电阻



若兼容则不必外加元器件。



## 与非门的CMOS结构

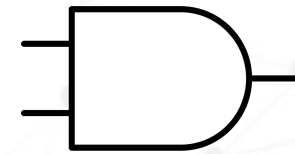
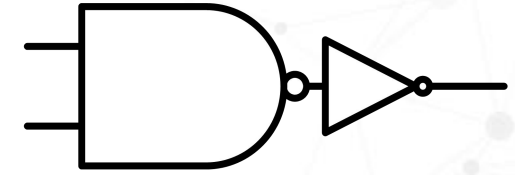
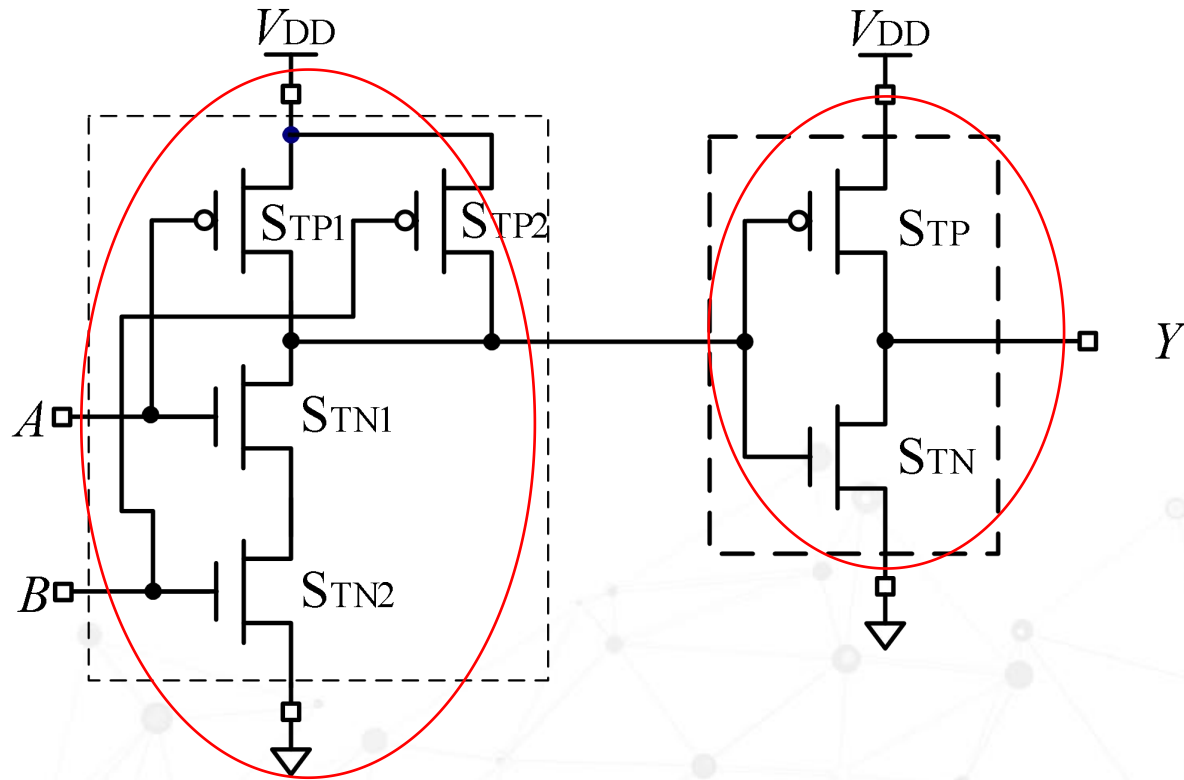


上拉网络 (PUN): 并联

上并下串

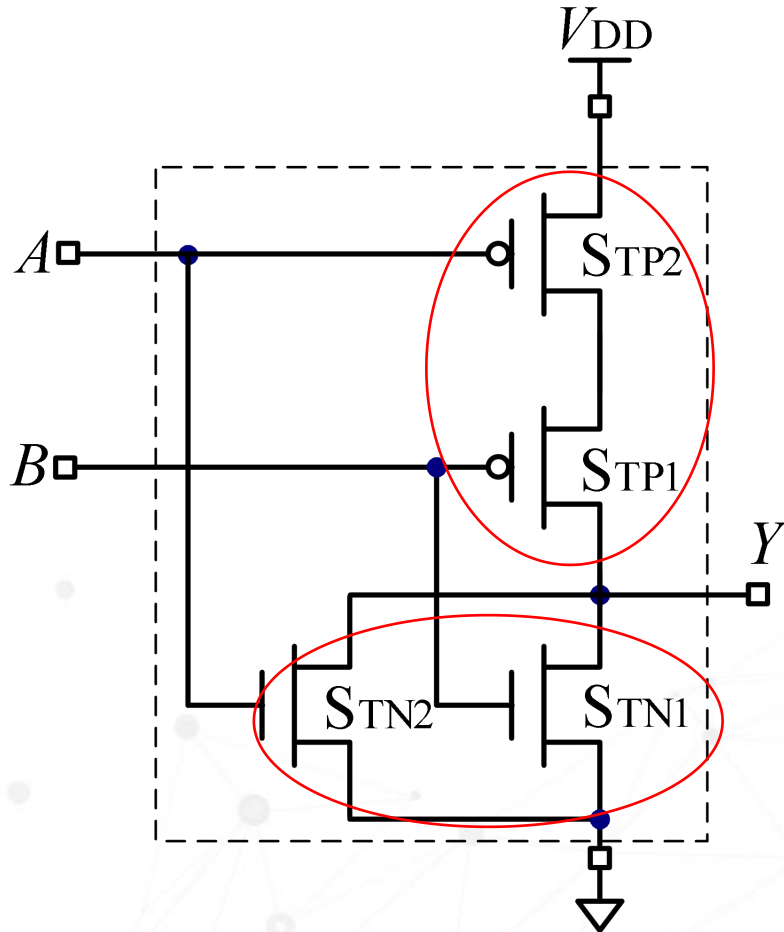
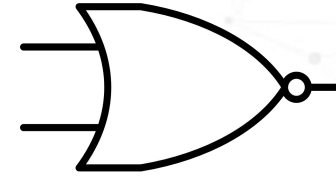
下拉网络 (PDN): 串联

## 与门的CMOS结构



# CMOS补充

## 或非门的CMOS结构



PMOS

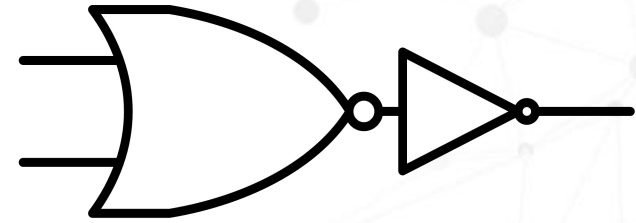
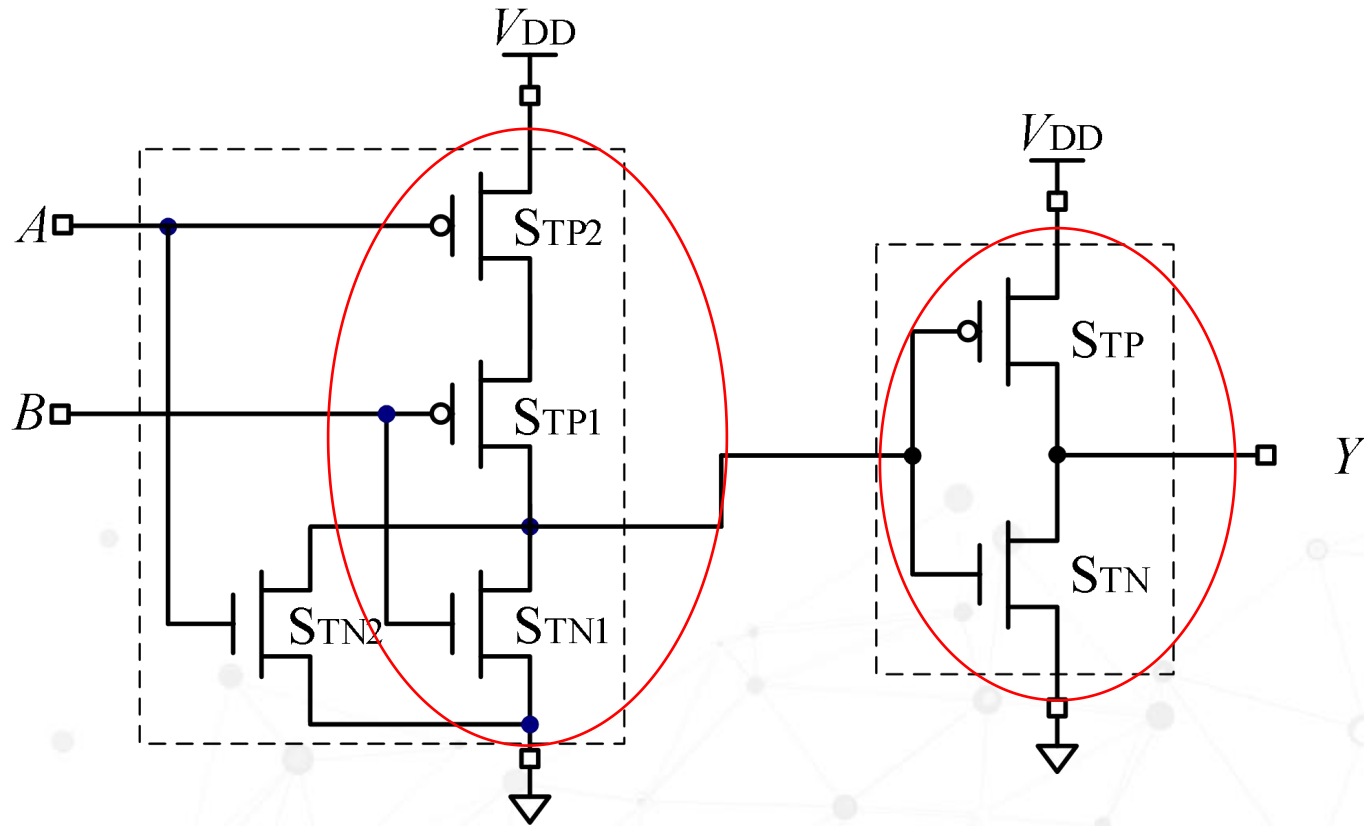
NMOS

上拉网络 (PUN): 串联

上串下并

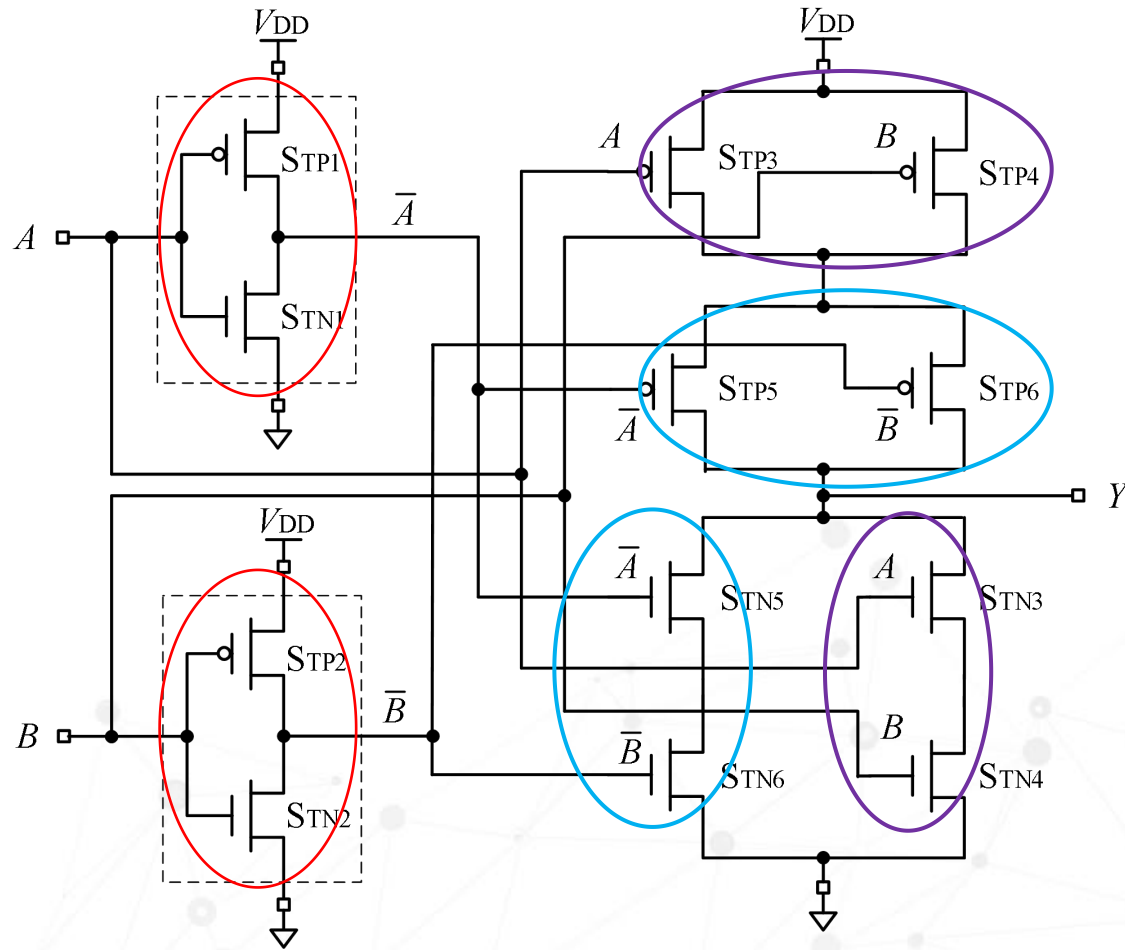
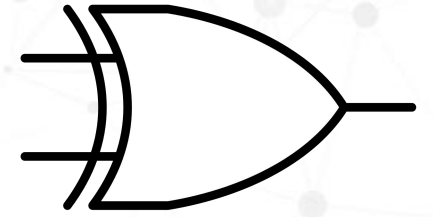
下拉网络 (PDN): 并联

## 或门的CMOS结构



# CMOS补充

## 异或门的CMOS结构



$$Y = \overline{\overline{A}B} + \overline{A}B$$

The background features a complex network of white lines connecting various nodes, overlaid on a pattern of semi-transparent, overlapping polygons in shades of blue, purple, and gold. The overall aesthetic is modern and technological.

**本章 完**