



第六章

输入输出接口技术



6.1 概述

6.1.1 接口电路的基本功能

1. 数据的寄存和缓冲功能
2. 信息格式转换功能
3. 握手联络功能
4. 译码与读写控制功能
5. 中断管理功能
6. **DMA**控制功能
7. 在系统设置功能

6.1 概述

6.1.2 典型的I/O接口结构

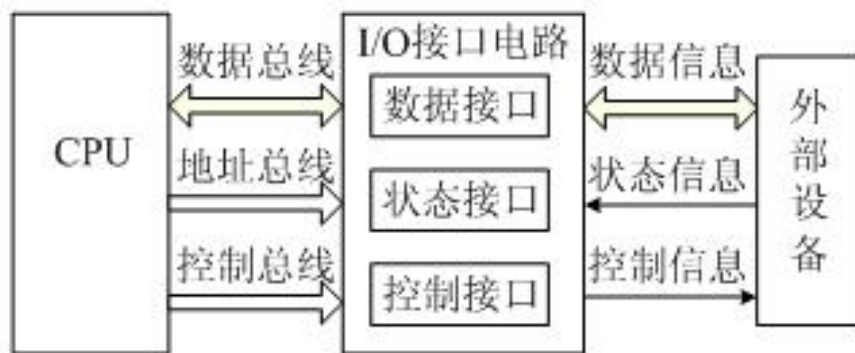


图 6-1 典型的 I/O 接口结构



6.1 概述

6.1.2 典型的I/O接口结构

1. CPU与外设通过接口电路传递的信息类型

- ① 数据信息。
- ② 状态信息。
- ③ 控制信息。



6.1 概述

6.1.2 典型的I/O接口结构

2. I/O端口

① 数据端口。

② 状态端口。

③ 控制端口。

3. 微机系统中常用的接口芯片



6.1 概述

6.1.3 I/O端口的寻址方法

1. 存储器映像寻址方式

2. 独立编址方式



6.1 概述

6.1.4 PC/XT微机I/O端口地址分配

1. PC/XT主板上的I/O接口芯片
2. 扩展槽上的I/O接口适配卡

6.1 概述

表6-1 PC/XT机的I/O端口分配表

系统主板接口芯片端口地址		适配卡 I/O 通道端口地址	
地址范围	I/O 设备 (端口)	地址范围	I/O 设备 (端口)
000 H~01F H	DMA 控制器芯片 1 (8237A)	200 H~20F H	游戏 I/O
020 H~03F H	中断控制器芯片 1 (8259A)	2F8 H~2FF H	异步串行通信 COM2
0A0 H~0BF H	中断控制器芯片 2 (8259A)	300 H~31F H	用户可用地址
040 H~05F H	定时器/计数器芯片 (8254)	320 H~32F H	硬磁盘适配器
060 H~06F H	并行接口芯片 (8255A)	378 H~37F H	并行打印机接口
070 H~07F H	RT/CMOS RAM	380 H~38F H	同步通信控制器
080 H~09F H	DMA 页面寄存器	3B0 H~3BF H	单显/打印机适配器
0C0 H~0DF H	DMA 控制器芯片 2 (8237A)	3D0 H~3DF H	彩色/图形显示卡
0F0 H~0FF H	协处理器	3F0 H~3F7 H	软磁盘适配器
		3F8 H~3FF H	异步串行通信 COM1
		360 H~36F H	网卡

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

1. 无条件传送方式

① 数据输入的电路结构。

MOV DX, 160H ; 端口地址 160H 送地址寄存器 DX
IN AL, DX ; 根据端口地址将外设端口的 8 位数据读入 AL 中

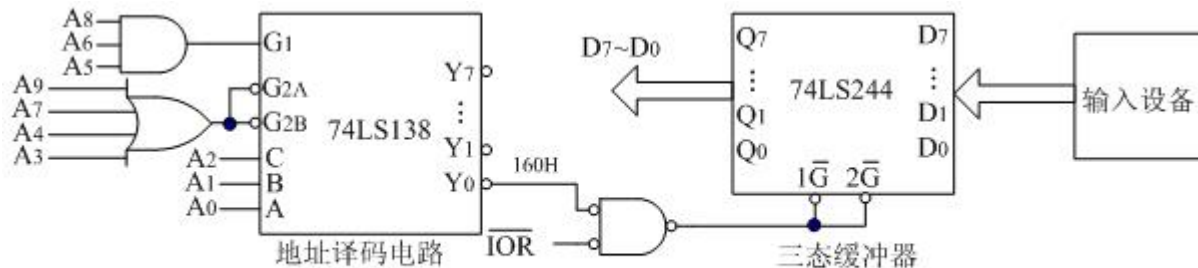


图 6-2 无条件输入接口电路

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

1. 无条件传送方式

② 数据输出的电路结构。

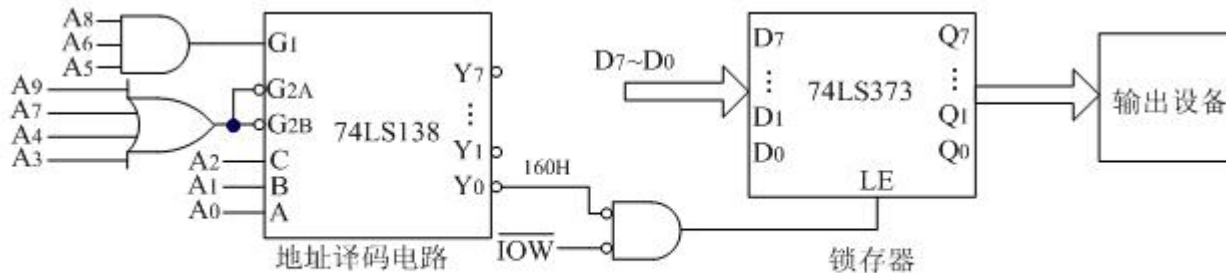


图 6-3 无条件输出接口电路

```
MOV DX, 160H ; 端口地址 160H 送地址寄存器 DX
MOV AL, 5AH ; 准备输出的立即数 5AH 送累加器 AL
OUT DX, AL ; 根据端口地址将 AL 中的数据输出至外设端口
```

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

1. 无条件传送方式

② 数据输出的电路结构。

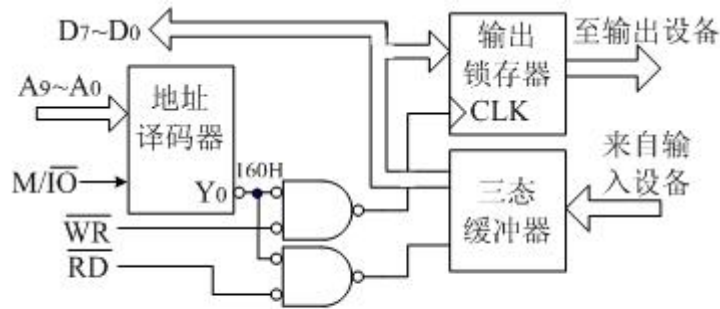


图 6-4 无条件输入/输出接口电路

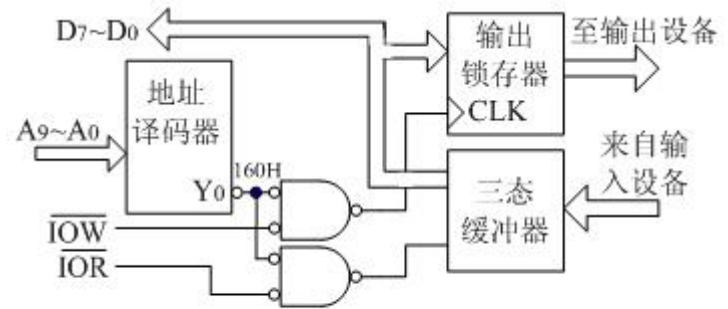


图 6-5 ISA 总线输入/输出接口电路

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

2. 条件传送方式

(1) 基于查询方式的输入接口电路。

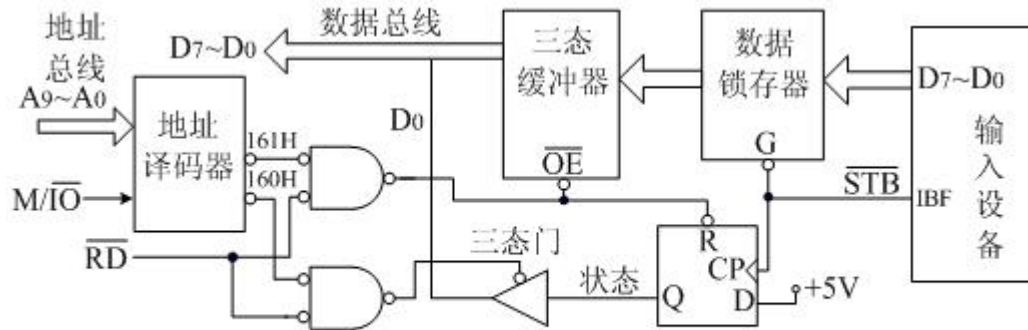


图 6-6 查询方式输入接口电路

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

2. 条件传送方式

(1) 基于查询方式的输入接口电路。

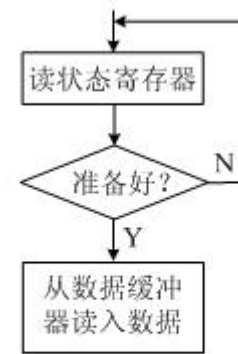


图 6-7 查询输入方式流程图

NEXT:	MOV	DX, 160H	; 状态口地址 160H→DX
	IN	AL, DX	; 读状态
	TEST	AL, 01H	; 检测 D ₀ (Ready)
	JZ	NEXT	; D ₀ =0(Ready=0), 表示数据未准备好, 继续检测
	INC	DX	; Ready=1, 表示数据已准备好, 数据口地址 161H→DX
	IN	AL, DX	; 读数据, 状态标志清 0

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

2. 条件传送方式

(2) 基于查询方式的输出接口电路。

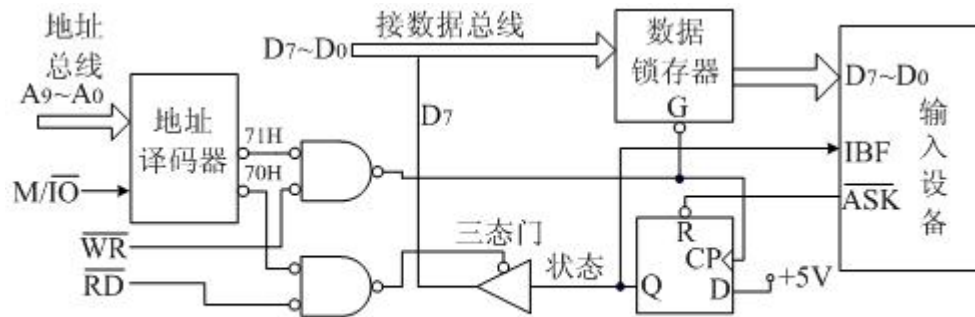


图 6-8 查询方式输出接口电路

6.2 CPU与外设之间的信息传送方式

6.2.1 程序控制方式

2. 条件传送方式

(2) 基于查询方式的输出接口电路。

```
NEXT:  IN    AL, 70H      ; 读状态
        TEST  AL, 80H    ; 检测 D7(Busy)
        JNZ   NEXT       ; D7=1, 未准备好
        MOV  AL, DATA   ; DATA 数据送 AL
        OUT  71H, AL     ; 输出数据, 状态标志置 1
```

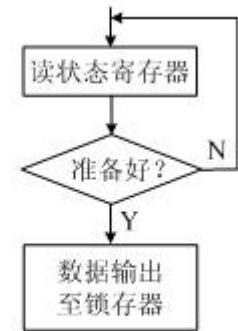


图 6-9 查询方式输出程序流程图

3. 查询式接口电路的特点

6.2 CPU与外设之间的信息传送方式

6.2.2 中断控制I/O方式

1. 中断的概念

2. 中断方式接口电路

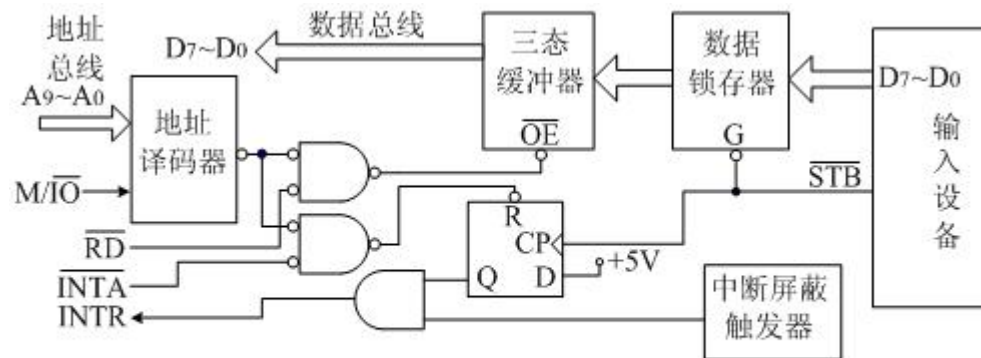


图 6-10 中断方式输入接口电路

6.2 CPU与外设之间的信息传送方式

6.2.2 中断控制I/O方式

3. 中断优先级

(1) 软件查询方式。

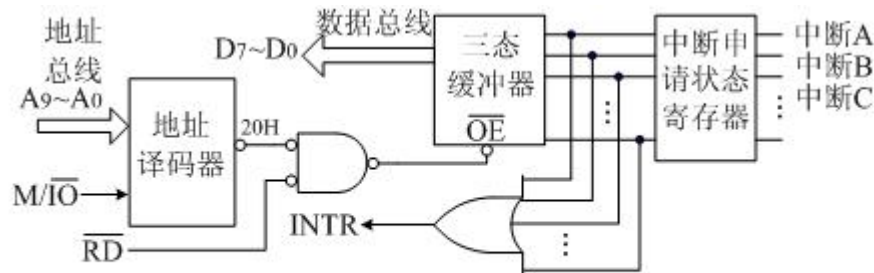


图 6-11 软件查询方式中断电路

6.2 CPU与外设之间的信息传送方式

6.2.2 中断控制I/O方式

3. 中断优先级

(1) 软件查询方式。

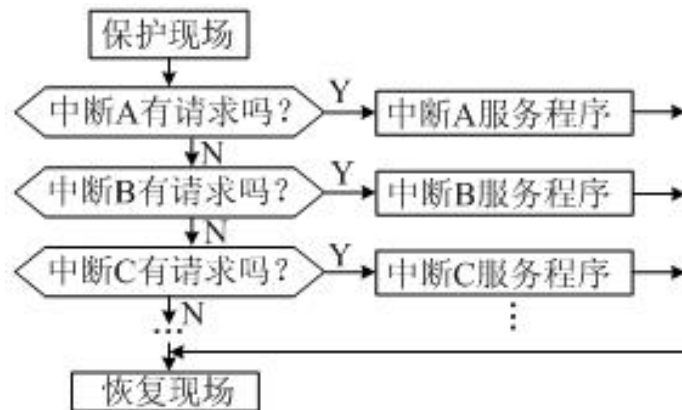


图 6-12 软件查询中断处理流程图

6.2 CPU与外设之间的信息传送方式

6.2.2 中断控制I/O方式

3. 中断优先级

(1) 软件查询方式。

```
IN AL, 20H           ; 读中断触发器的状态, 设外设地址是 20H
TEST AL, 80H        ; 中断 A 有请求?
JZ B1               ; 没有, 继续查询
JMP PROC_A         ; 转至中断 A 程序入口
B1: TEST AL, 40H    ; 中断 B 有请求吗?
JZ B2               ; 无, 继续查询
JMP PROC_B         ; 转至中断 B 服务程序
B2: TEST AL, 20H    ; 中断 C 有请求吗?
...
```

6.2 CPU与外设之间的信息传送方式

6.2.2 中断控制I/O方式

3. 中断优先级

(2) 硬件方式。

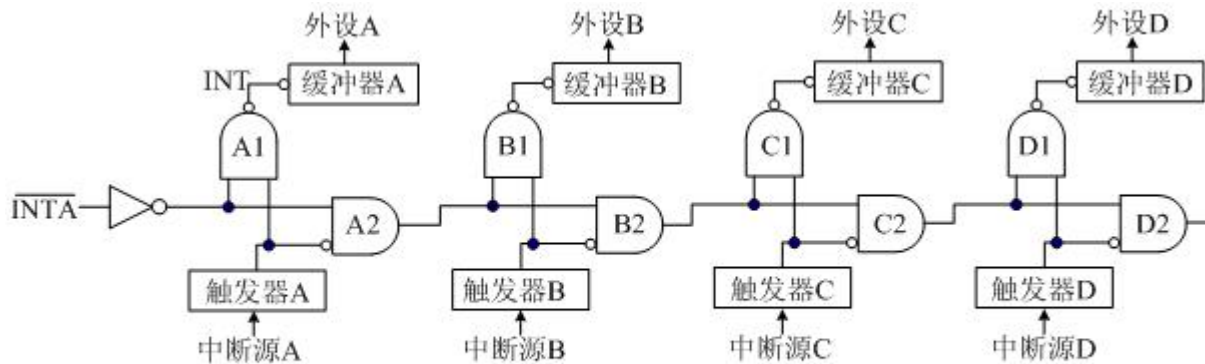


图 6-13 菊花链方式中断电路

6.2 CPU与外设之间的信息传送方式

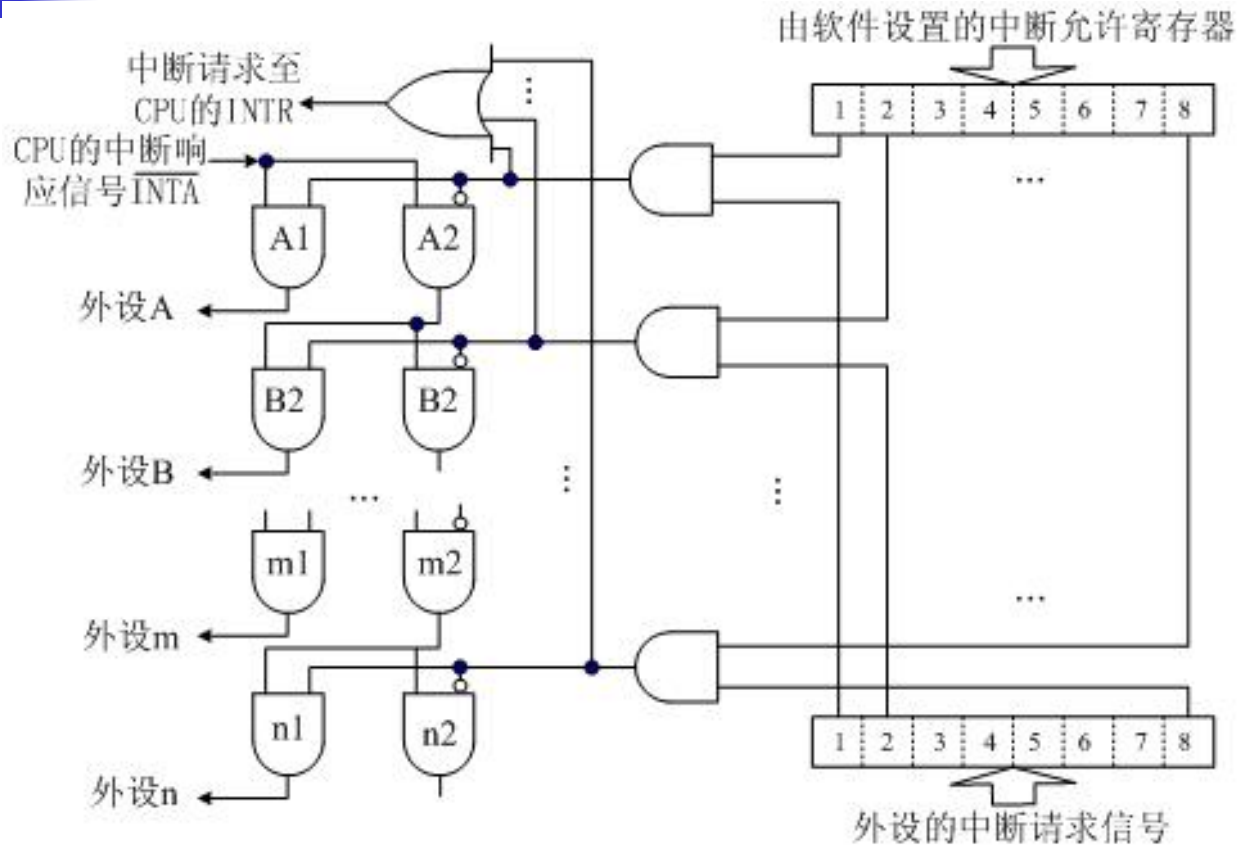


图 6-14 可设置中断允许的菊花链中断排队电路

6.2 CPU与外设之间的信息传送方式

6.2.3 直接存储器存取方式

1. DMAC工作流程

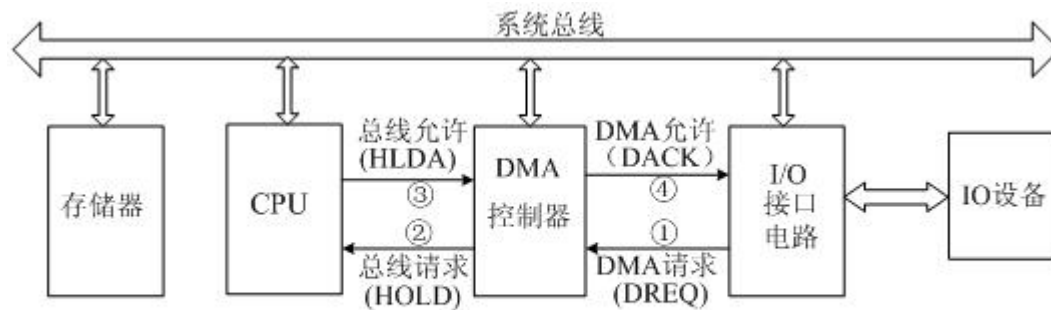


图 6-15 DMA 传送过程示意图



6.2 CPU与外设之间的信息传送方式

6.2.3 直接存储器存取方式

2. DMA工作模式

3. DMA传输的条件

4. DMA初始化

5. DMA的特点



6.3 微型计算机总线

6.3.1 总线基本概念

- ① 片内总线。
- ② 片间总线。
- ③ 系统总线。
- ④ 外部总线。



6.3 微型计算机总线

6.3.2 IBM PC总线

电源线

数据总线

地址总线

(1) 控制线 (21根)

(2) 状态线(2根)

(3) 辅助线(3根)



6.3 微型计算机总线

6.3.3 ISA总线

6.3.4 EISA总线

6.3 微型计算机总线

6.3.5 VESA总线

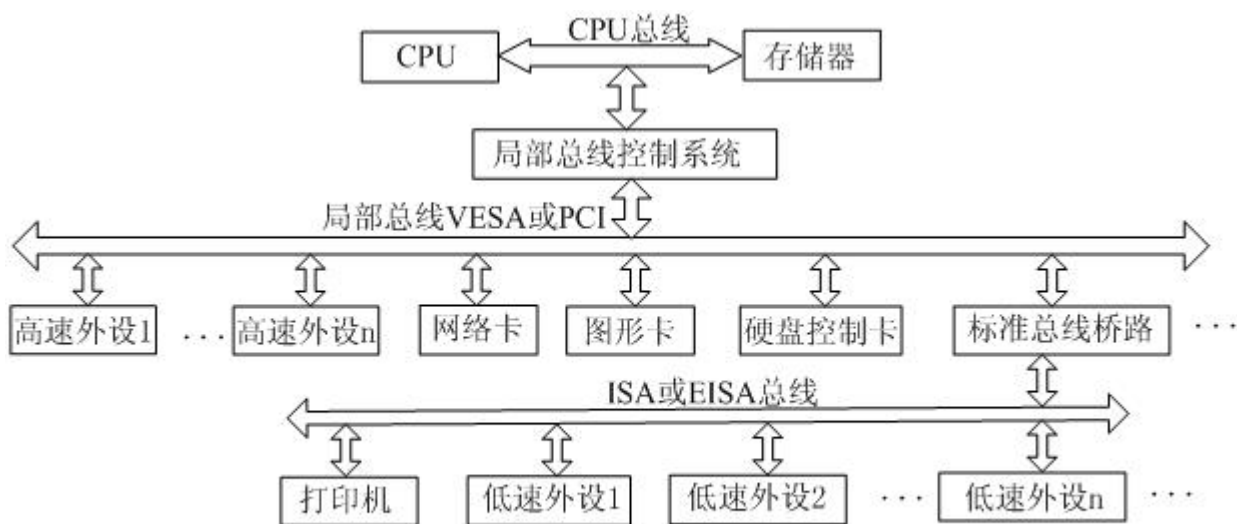


图 6-16 具有局部总线的微机体系结构



6.3 微型计算机总线

6.3.6 PCI总线

6.3.7 AGP总线

6.4 8088 SOC微机系统基本输入/输出电路设计

6.4.1 含简单接口电路的8088 SOC系统的构建

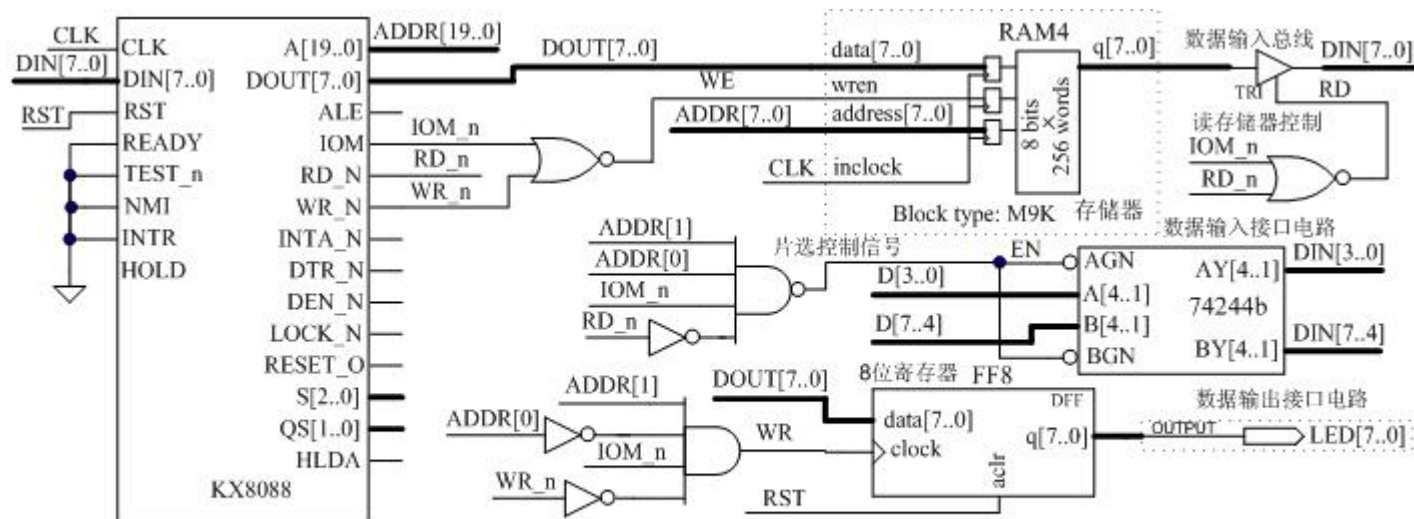


图 6-17 含简单输入输出接口电路的 SOC 微机系统电路

6.4 8088 SOC微机系统基本输入/输出电路设计

6.4.2 时序仿真与硬件系统测试

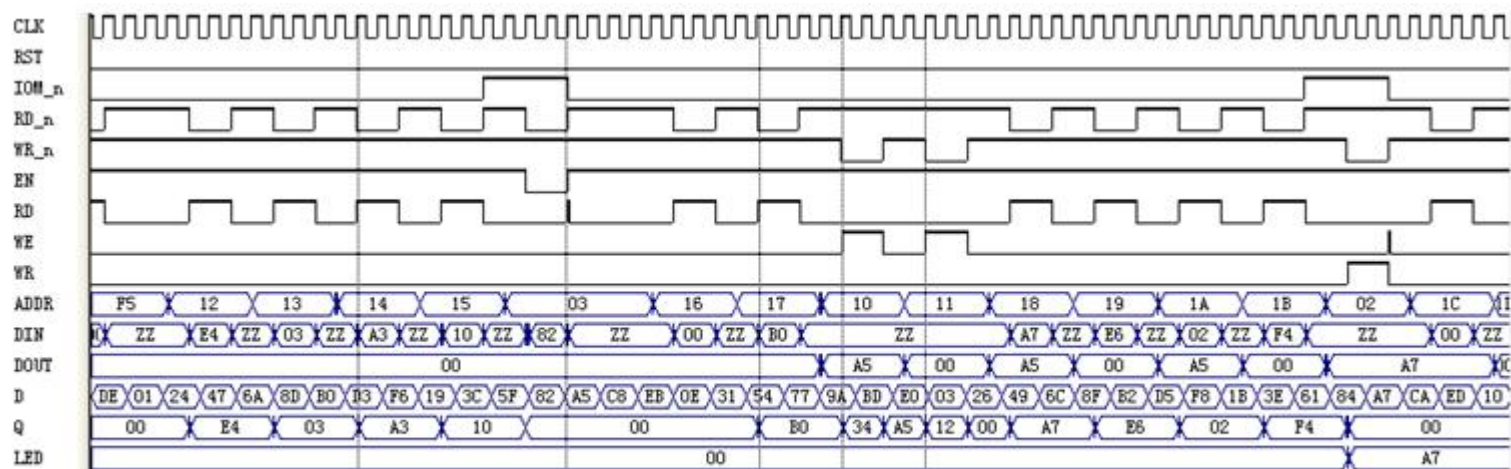


图 6-18 图 6-17 电路的时序仿真波形，所运行的程序如表 6-2 所示

6.4 8088 SOC微机系统基本输入/输出电路设计

表 6-2 图 6-18 系统的测试程序

指令地址	指令代码	汇编程序
		title TEST
		.model tiny
0000		.code
		.8086
		ORG 0010H
0010	1234	result DW 1234H
0012	E4 03	START: IN AL,03H
0014	A3 0010	MOV [result], AX
0017	B0 A7	MOV AL, 0A7H
0019	E6 02	OUT 02H, AL
001B	F4	HLT
		ORG 00F0H
00F0	EA	DB 0EAH
00F1	0012	DW START
00F3	00 00	DB 00H, 00H
		END

6.4 8088 SOC微机系统基本输入/输出电路设计

6.4.2 时序仿真与硬件系统测试

The image shows two screenshots of the In-System Memory Content Editor. Each screenshot displays a memory dump for RAM. The first screenshot shows the memory at address 000000, with the value at address 00001C being FE. The second screenshot shows the memory at address 000000, with the value at address 00001C being F6. The memory dump consists of 16 hexadecimal bytes per line, with the first two bytes of each line representing the address.

Address	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
000000	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
00001C	FE	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
000038	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

Address	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
000000	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
00001C	FE	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
000038	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

图 6-19 对图 6-17 电路基于 In-System Memory Content Editor 的 RAM 实时测试结果

6.5 In-System Sources and Probes Editor

使用方法

- ① 在顶层设计中嵌入**In-System Sources and Probes**模块。
- ② 设定参数。

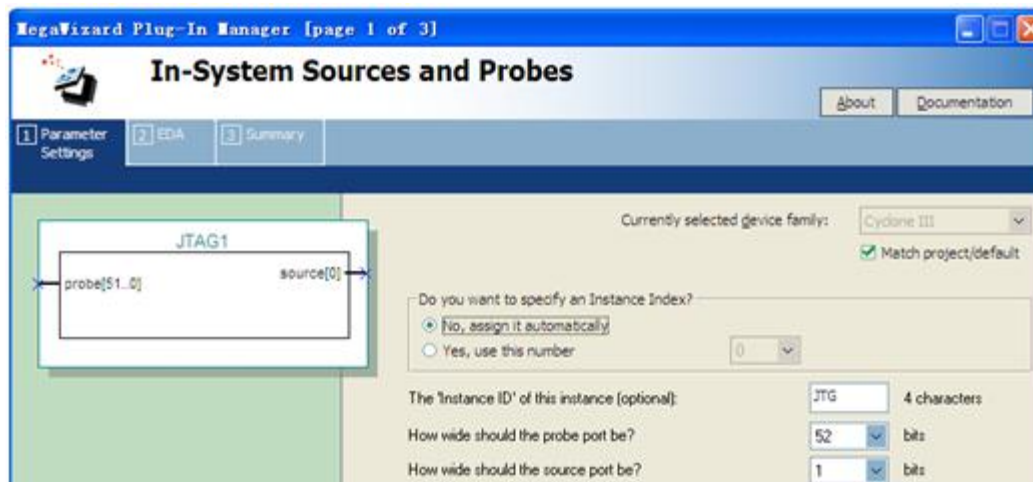


图 6-20 为 In-System Sources and Probes 模块设置参数

6.5 In-System Sources and Probes Editor

使用方法

③ 与需要测试的电路系统连接好。

④ 图6-21的设计(路径:

**/IP8088_SOC_DEMO\I8088_IO_DEMO_2/EX0_8088C
PU)**与图6-17电路相比,图6-21所示电路中,除了增加了
“**JTAG1**”模块外,还增加了一个锁相环**PLL20**和键去抖动模
块**ERZP**。

⑤ 完成图6-21的全部编辑设计后要进行一次全程编译。

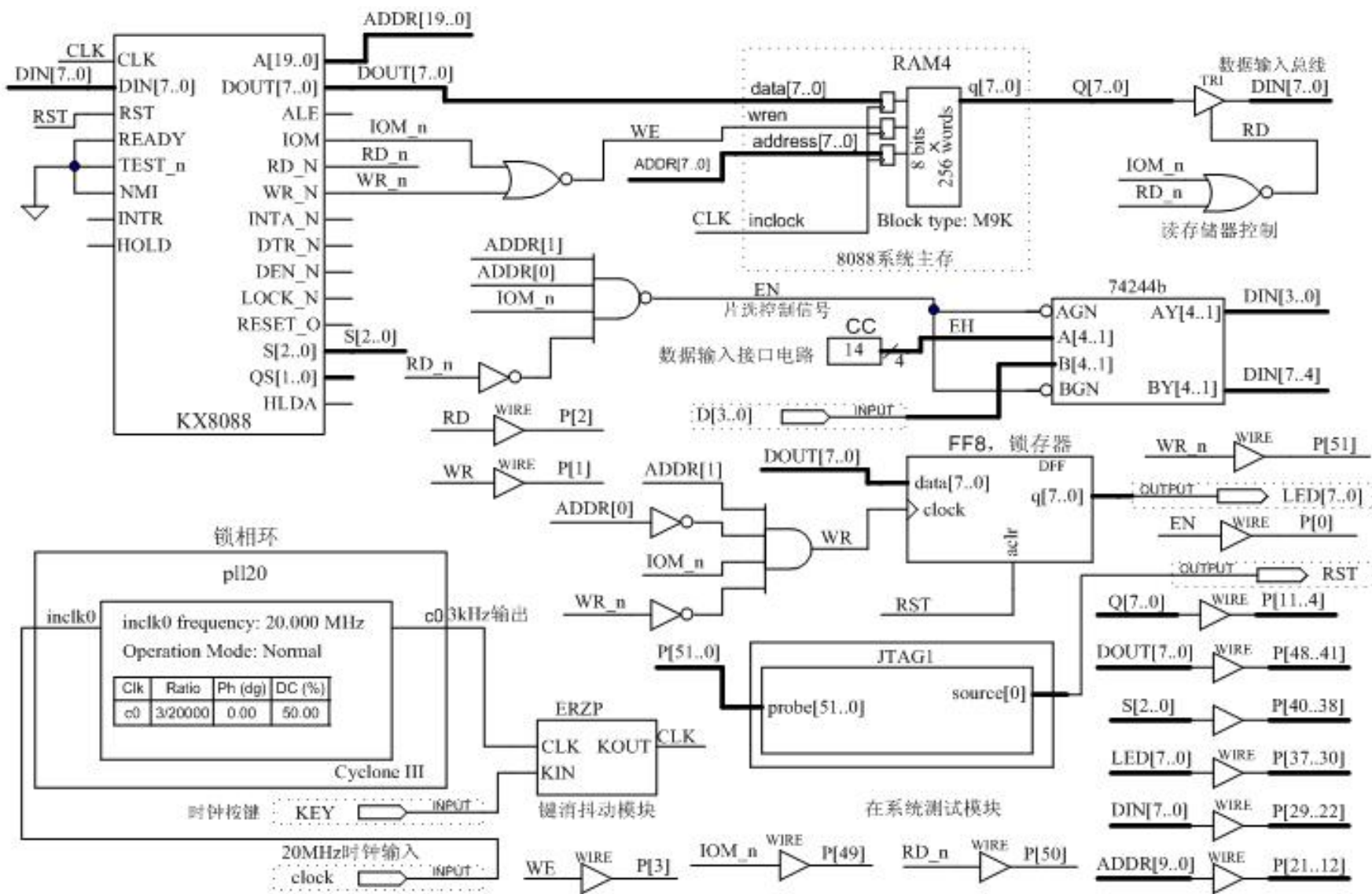


图 6-21 在图 6-17 电路中加入锁相环和 In-System Sources and Probes 测试模块

6.5 In-System Sources and Probes Editor 使用方法

⑥ 调用In-System Sources and Probes Editor进行在系统测试。

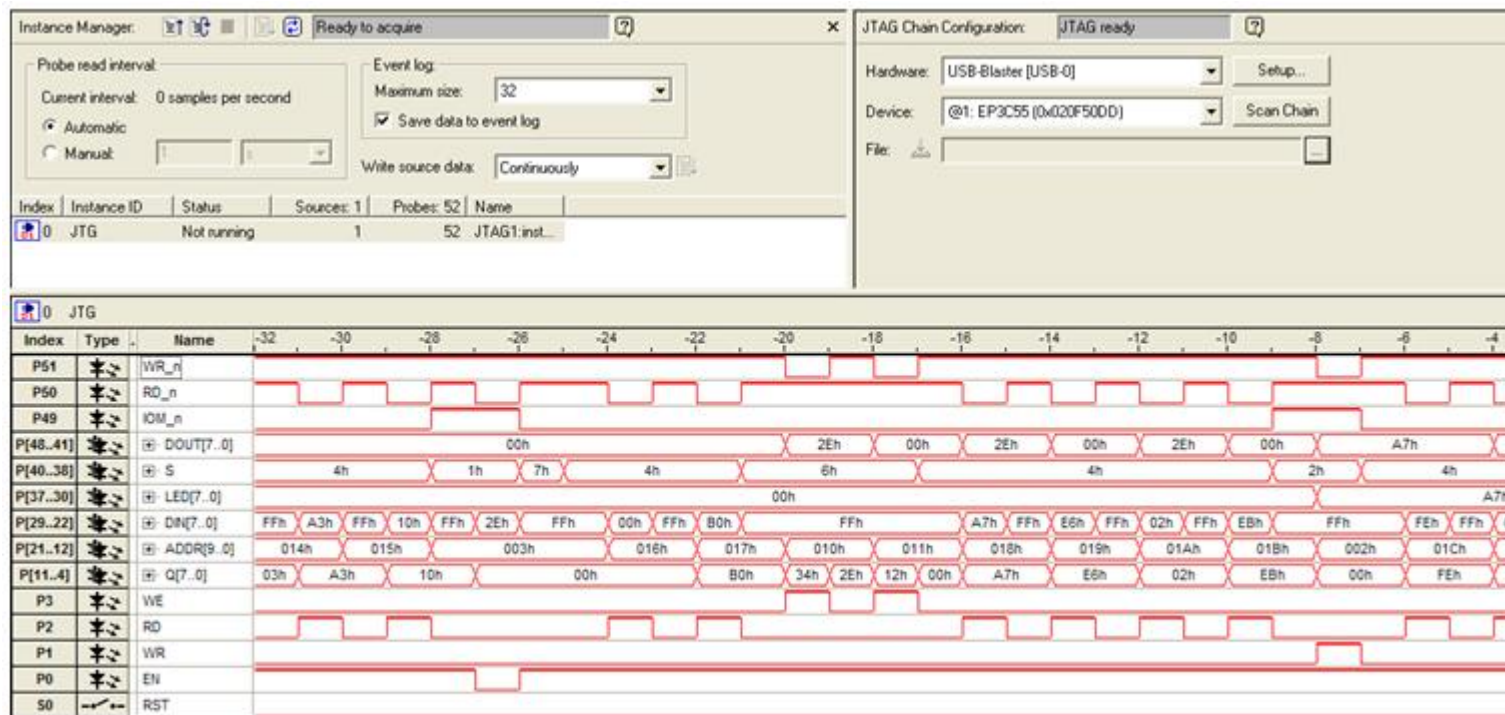


图 6-22 In-System Sources and Probes Editor 的测试情况

6.5 In-System Sources and Probes Editor

使用方法

⑦ 控制采样与波形分析。