



第12章

MCU与FPGA片上系统开发

12.1 FPGA扩展MCU开发技术

12.1.1 FPGA扩展方案及其系统设计技术

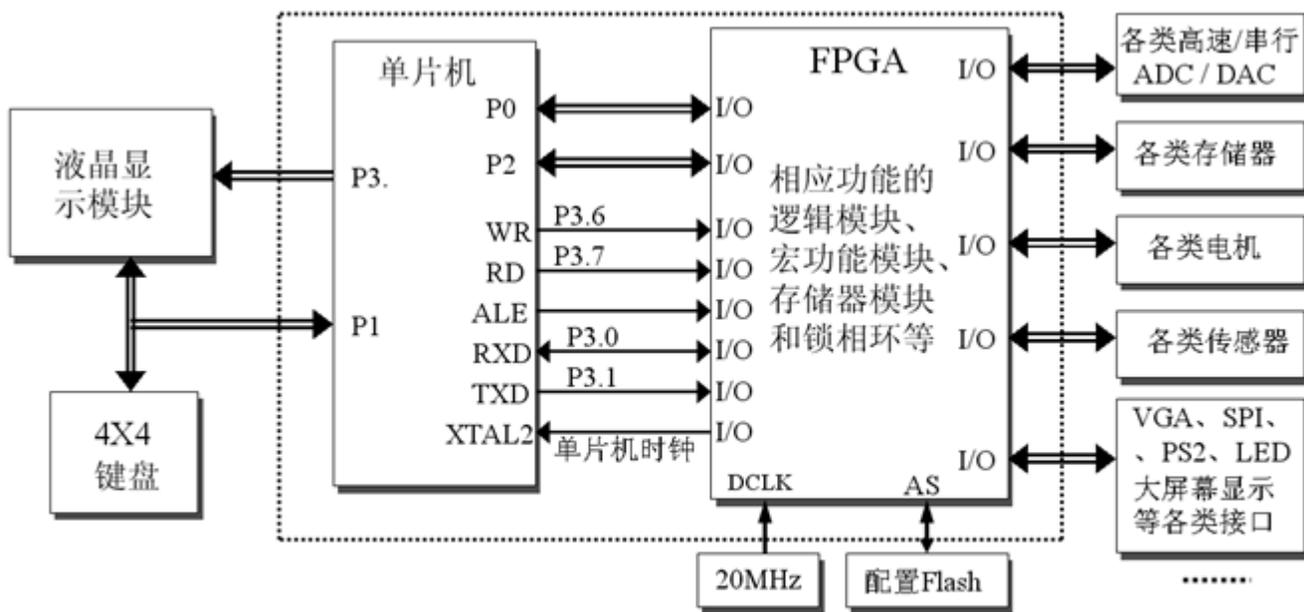
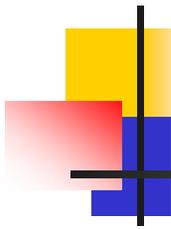


图 12-1 FPGA 与单片机的扩展系统设计模型图



12.1 FPGA扩展MCU开发技术

12.1.1 FPGA扩展方案及其系统设计技术

1. 单片机与FPGA的口线连接
2. FPGA测控对象的接口安排
3. 单片机与液晶显示及键盘的接口
4. 设计步骤与流程

12.1 FPGA扩展MCU开发技术

12.1.2 基于单片机IP软核的SOC设计方案

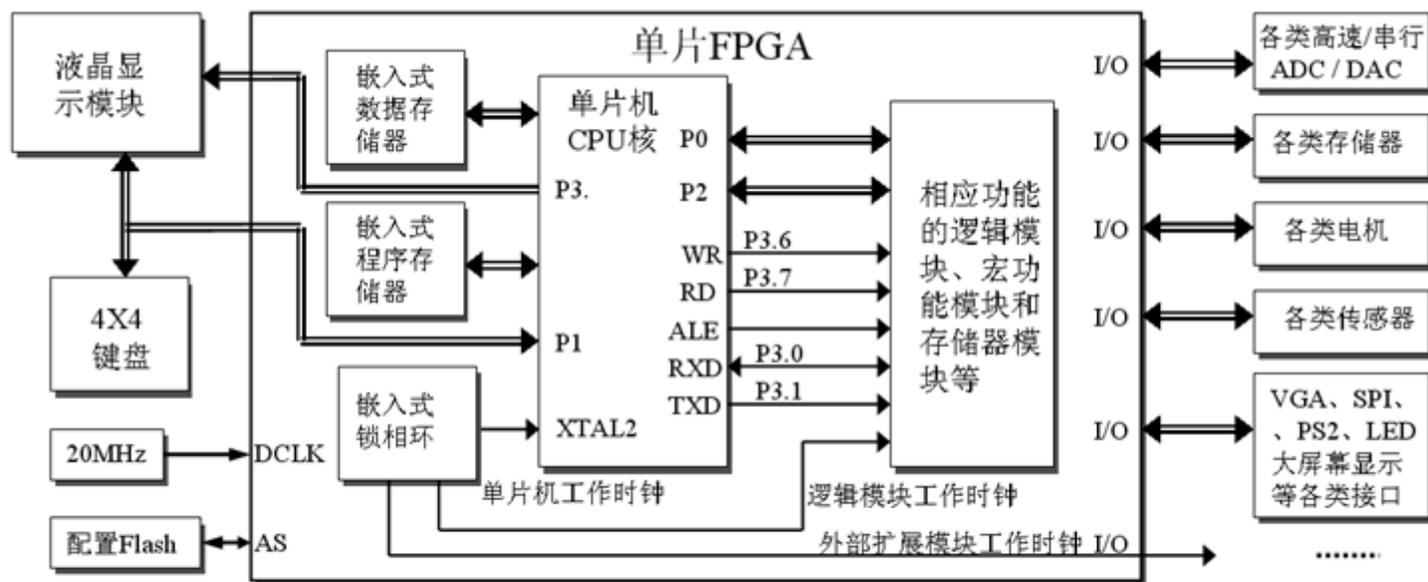
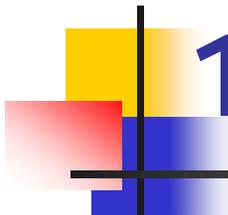


图 12-2 基于单片机软核的 FPGA 单片系统模块图

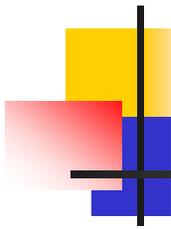


12.1 FPGA扩展MCU开发技术

12.1.2 基于单片机IP软核的SOC设计方案

1. 基于FPGA的SOC特点

- (1) 良好的抗干扰性能。
- (2) 良好的速度性能。
- (3) 系统开发效率高。
- (4) 系统升级便捷。



12.1 FPGA扩展MCU开发技术

12.1.2 基于单片机IP软核的SOC设计方案

2. 基于单片机核的FPGA片上系统开发

- (1) 电平匹配。
- (2) 阻抗匹配。
- (3) 注意高速PCB板的设计。
- (4) 键盘与显示接口设计。

12.2 FPGA扩展方案设计实例

12.2.1 串进并出/并进串出双向端口扩展模块设计

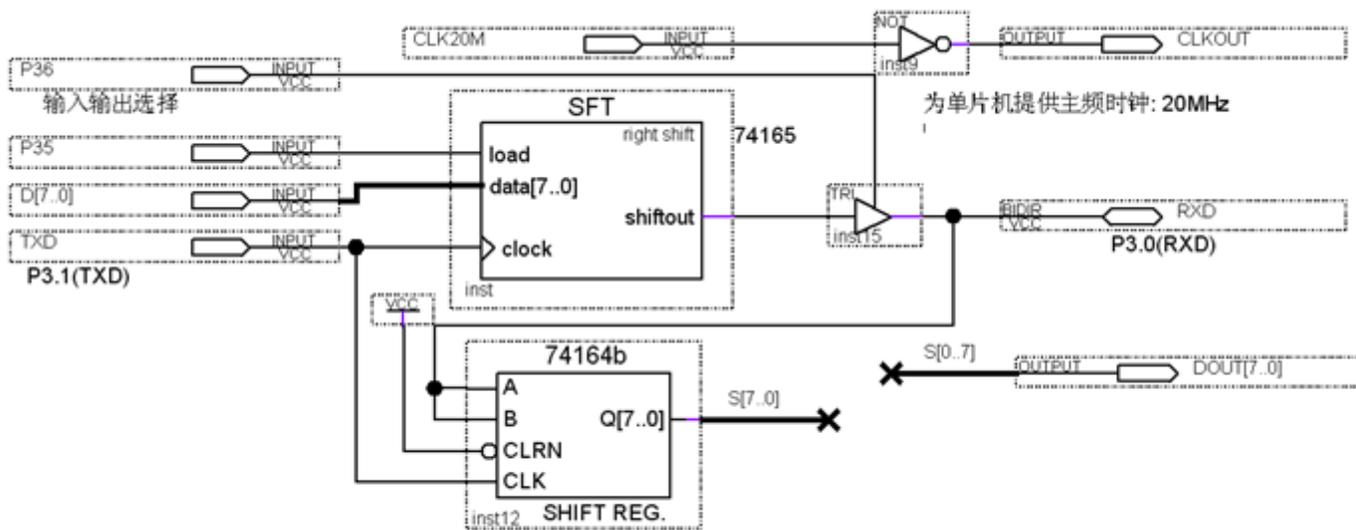


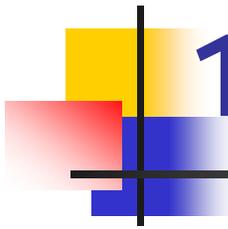
图 12-3 单片机串进并出和并进串出双向端口扩展 FPGA 模块电路图

12.2 FPGA扩展方案设计实例

12.2.1 串进并出/并进串出双向端口扩展模块设计

【例 12-1】

```
SETB  P3.6      ; P3.6=1 : 选择 SFT 模块 (即 74165) ,读入 8 位数据
CLR   P3.5      ; 由于数据锁存 load 是同步锁存, 所以当 P3.5=1 时, 时钟信号到
SETB  P3.5      ; 来时, 才能把并行输入的 8 位数据 D[7..0]锁入移位寄存器
CLR   P3.1
SETB  P3.1      ; 时钟上升沿后锁存 D[7..0]
CLR   P3.5
MOV   SCON, #10H ; 设置串口数据读入
GGG: JNB  RI, GGG ; 检测 RI 标志
MOV   A, SBUF   ;
CLR   RI        ; 清 0 RI 标志
MOV   44H, A    ; 将来自 FPGA 的 8 位数据存入 44H 单元
```



12.2 FPGA扩展方案设计实例

12.2.1 串进并出/并进串出双向端口扩展模块设计

【例 12-2】

```
CLR    P3.6                ; P3.6=0: 选择 74164b, 输出 8 位数据
MOV    SCON, #00H
MOV    A, #5BH ; 输出 5BH
MOV    SBUF, A
```

12.2 FPGA扩展方案设计实例

12.2.2 8位四通道数据交换扩展模块设计

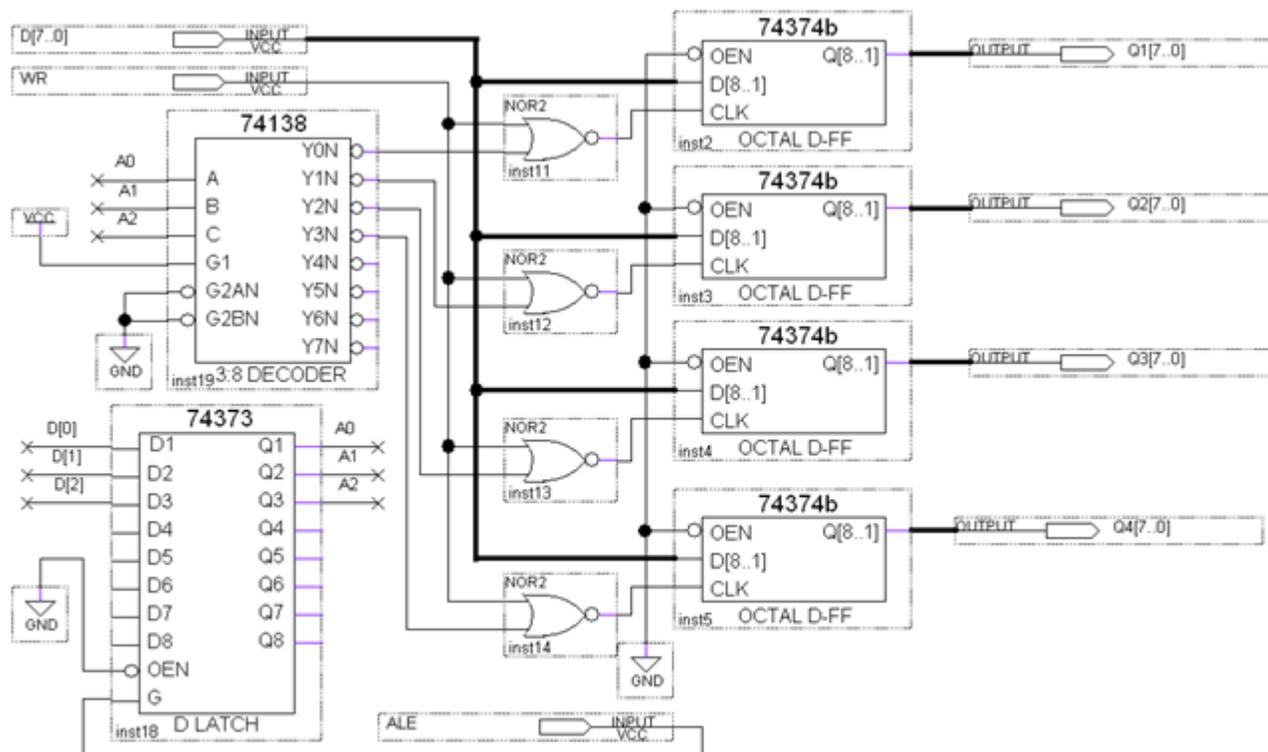
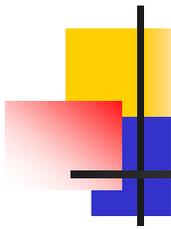


图 12-4 单片机 8 位四通道数据输出模块 FPGA 扩展电路图



12.2 FPGA扩展方案设计实例

12.2.2 8位四通道数据交换扩展模块设计

【例 12-3】

```
MOV    DPTR, #0000H    ; 给出锁存器 00H 地址信号
MOV    A, #8AH
MOVX   @DPTR, A
MOV    DPTR, #0001H    ; 给出锁存器 01H 地址信号
MOV    A, #0ADH
MOVX   @DPTR, A
...

```

12.2 FPGA扩展方案设计实例

12.2.2 8位四通道数据交换扩展模块设计

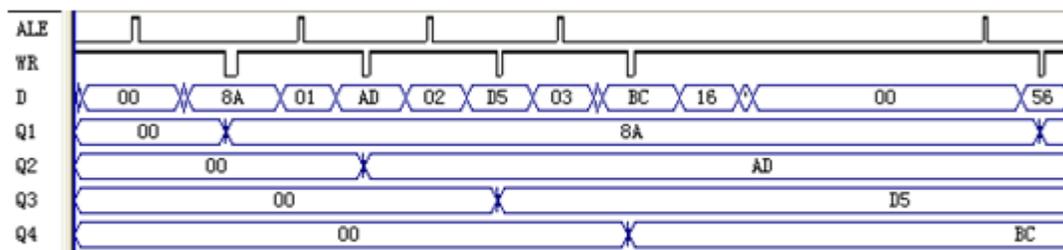


图 12-5 图 12-4 电路的时序仿真波形图

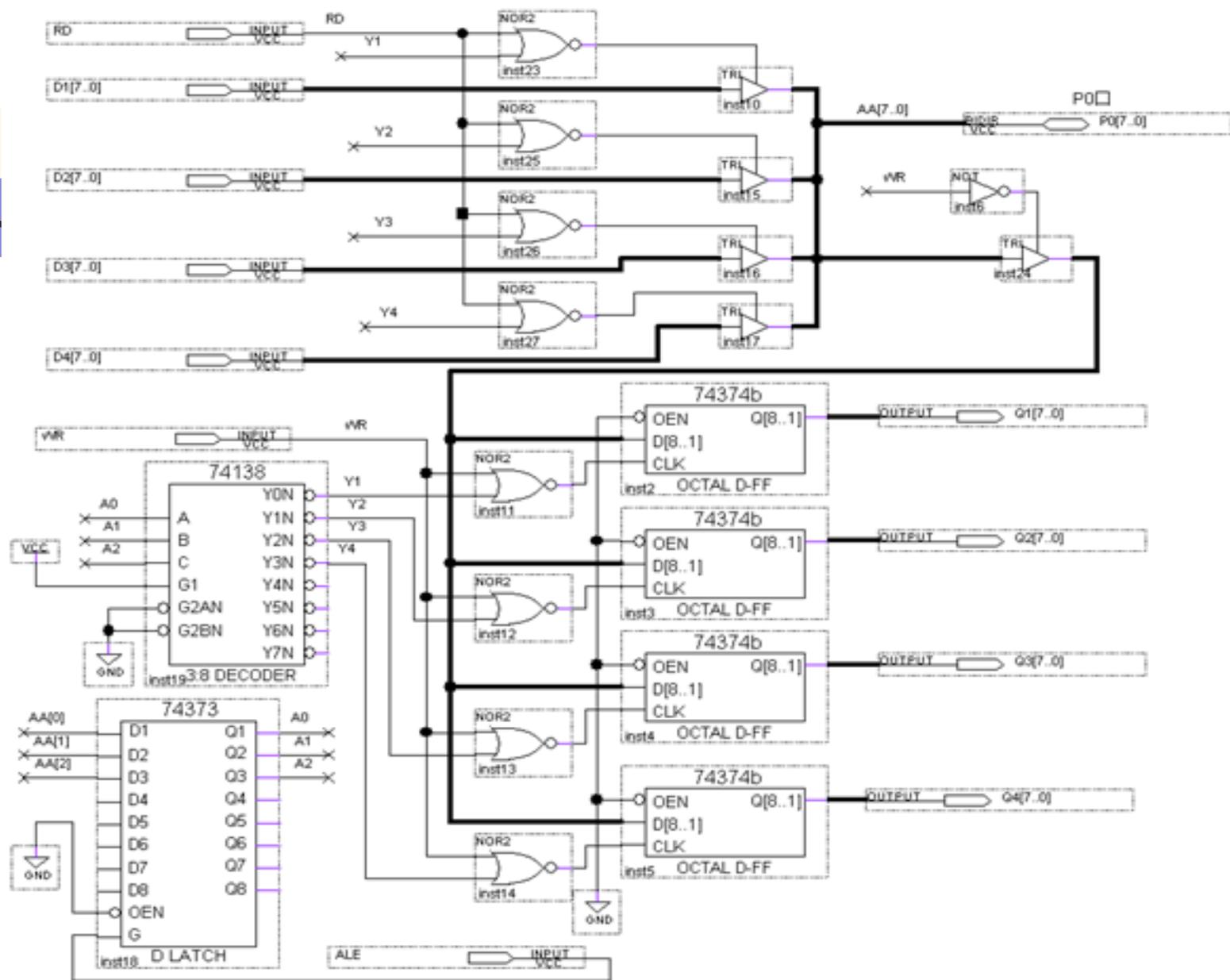
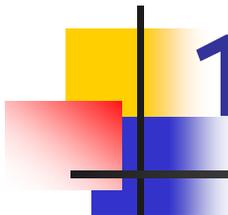


图 12-6 8 位四通道双向数据交换模块单片机扩展电路图



12.2 FPGA扩展方案设计实例

12.2.2 8位四通道数据交换扩展模块设计

【例 12-4】

```
MOV    DPTR,#0000H    ; 给出锁存器 00H 地址信号
MOVX   A,@DPTR        ; 通过总线方式将此地址指定端口的 8 位数据读入累加器。
MOV    34H,A
MOV    DPTR,#0001H
MOVX   A,@DPTR
MOV    35H,A
MOV    DPTR,#0002H
...
```

12.2 FPGA扩展方案设计实例

12.2.3 存储器读写的FPGA扩展模块设计

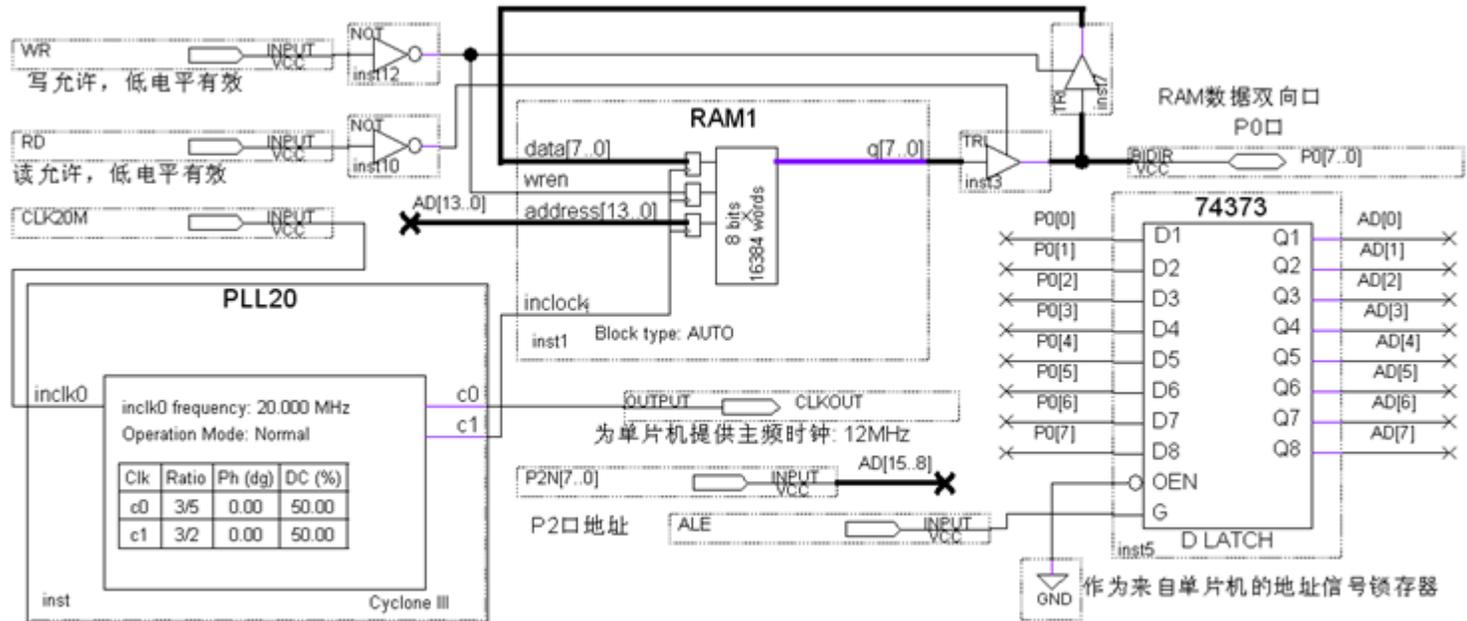
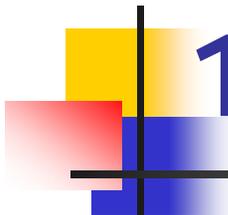


图 12-7 基于 FPGA 的 RAM 读写之单片机扩展模块电路图



12.2 FPGA扩展方案设计实例

12.2.3 存储器读写的FPGA扩展模块设计

【例 12-5】

```
MOV    DPTR, #001AH    ; 写 RAM 地址 001AH 的赋值
MOV    A, #78H
MOVX   @DPTR, A        ; 向 RAM 的 001AH 地址单元写入数据 78H
...

```

【例 12-6】

```
MOV    DPTR, #231AH
MOVX   A, @DPTR        ; 从 RAM 的 231AH 地址单元读出数据于累加器 A
MOV    41H, A
...

```

12.2 FPGA扩展方案设计实例

12.2.4 四通道PWM信号发生器接口模块设计

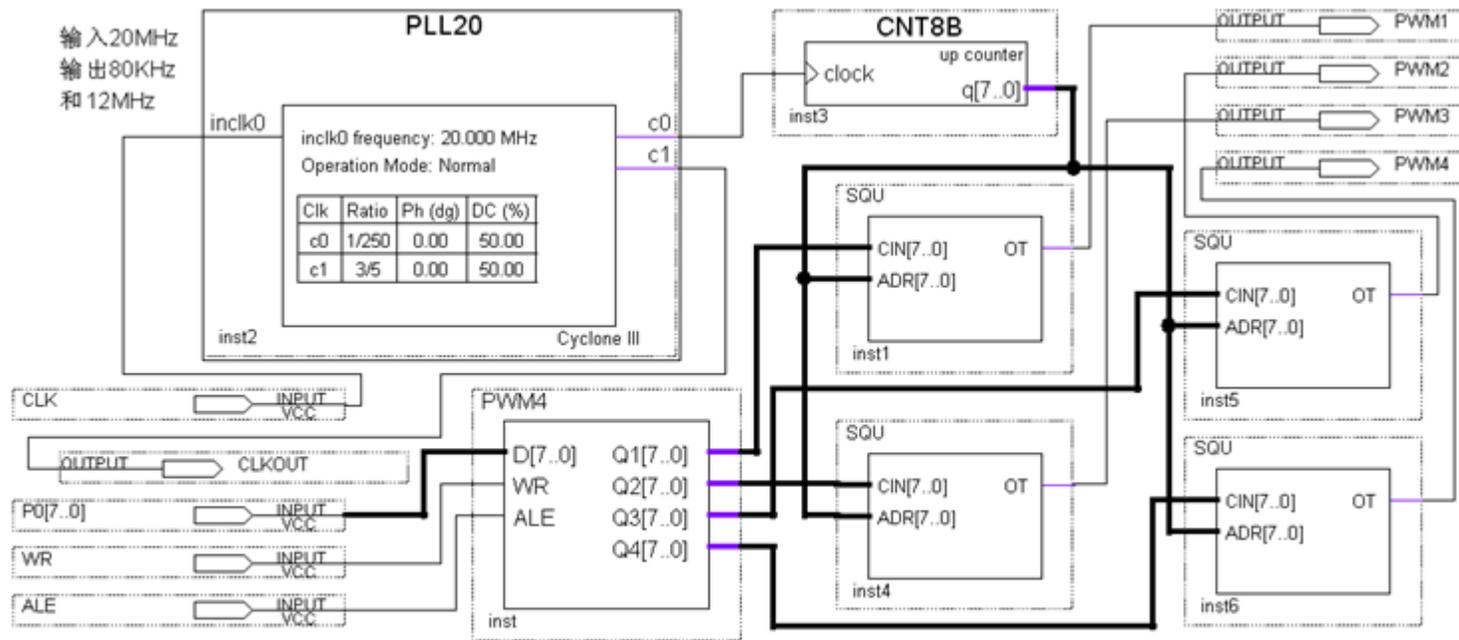


图 12-8 4 通道 PWM 信号发生模块之单片机扩展模块电路图

12.2 FPGA扩展方案设计实例

12.2.4 四通道PWM信号发生器接口模块设计

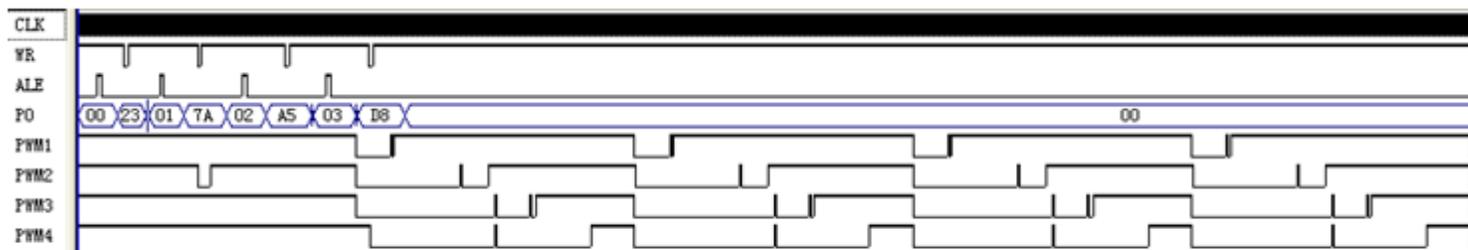


图 12-9 4 四通道 PWM 信号发生模块时序仿真波形图

12.2.5 里萨如图波形发生器扩展模块设计

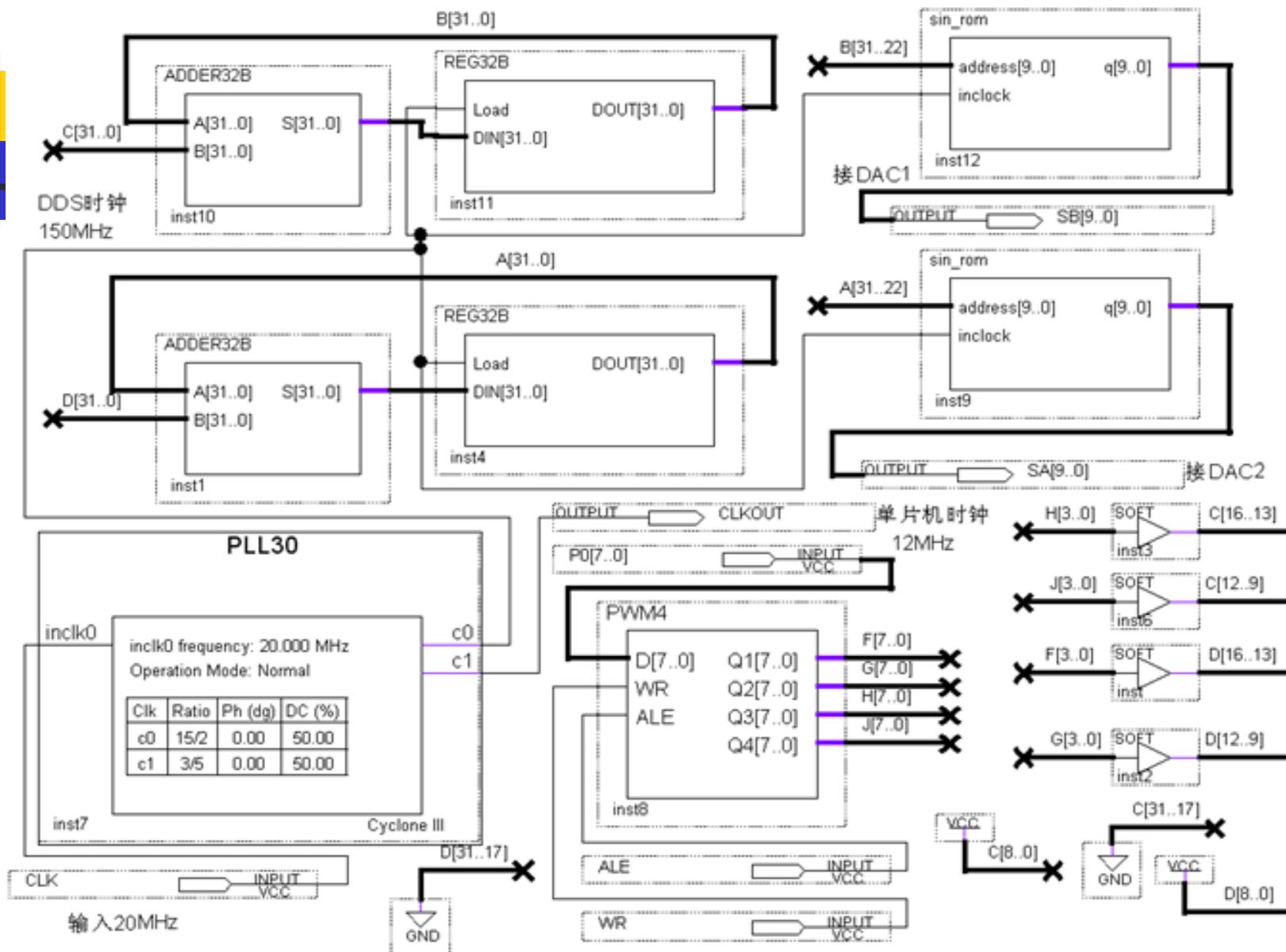


图 12-10 基于 FPGA 的里萨如图波形发生模块之单片机扩展模块电路图

12.3 基于单片机核的FPGA片上系统设计

12.3.1 单片机扩展串进并出/并进串出模块的SOC设计

1. CPU核及其端口信号

- (1) 单片机**CPU**核文件。
- (2) 单片机**CPU**核工作时钟。
- (3) **CPU**核常用的控制信号。
- (4) **CPU**核的存储器总线及存储器接口。
- (5) **CPU**核的**I/O**口。
- (6) **CPU**核双向**I/O**端口构建。

12.3 基于单片机核的FPGA片上系统设计

12.3.1 单片机扩展串进并出/并进串出模块的SOC设计

2. CPU核工作存储器

3. 扩展模块及其设计

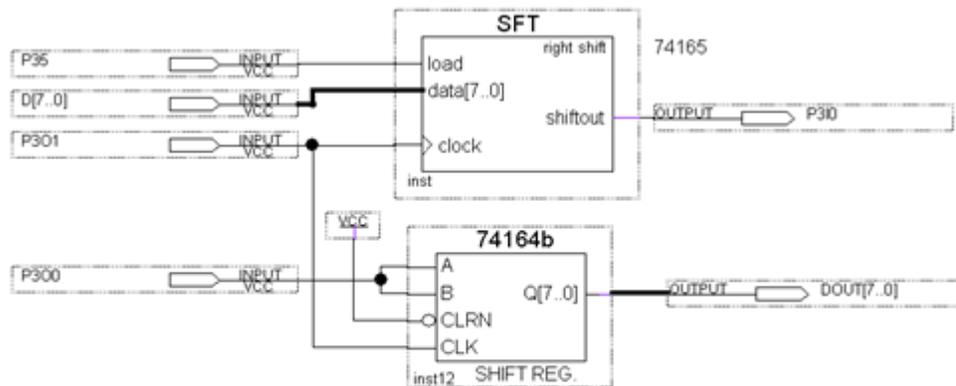


图 12-12 S2P 模块电路结构图

12.3 基于单片机核的FPGA片上系统设计

12.3.1 单片机扩展串进并出/并进串出模块的SOC设计

4. 锁相环应用

5. 软件设计与调试

```
MULTI_CRY_EXPT\MCU_5ICORE_SOC
:串进并出/并进串出控制程序
RS EQU P3.2
RW EQU P3.3
E EQU P3.4
DAT EQU 30H
DAT1 EQU 31H

ORG 0000H
MOV SP, #60H
MOV DAT, #01H
LCALL ENABLE
LCALL DISP3
MOV DAT, #01H
LCALL ENABLE

MOV A, #4BH
MOV B, #80H
LCALL DISP2
MOV A, #34H
MOV B, #81H
LCALL DISP2
MOV A, #33H
MOV B, #82H
```

图 12-13 汇编程序

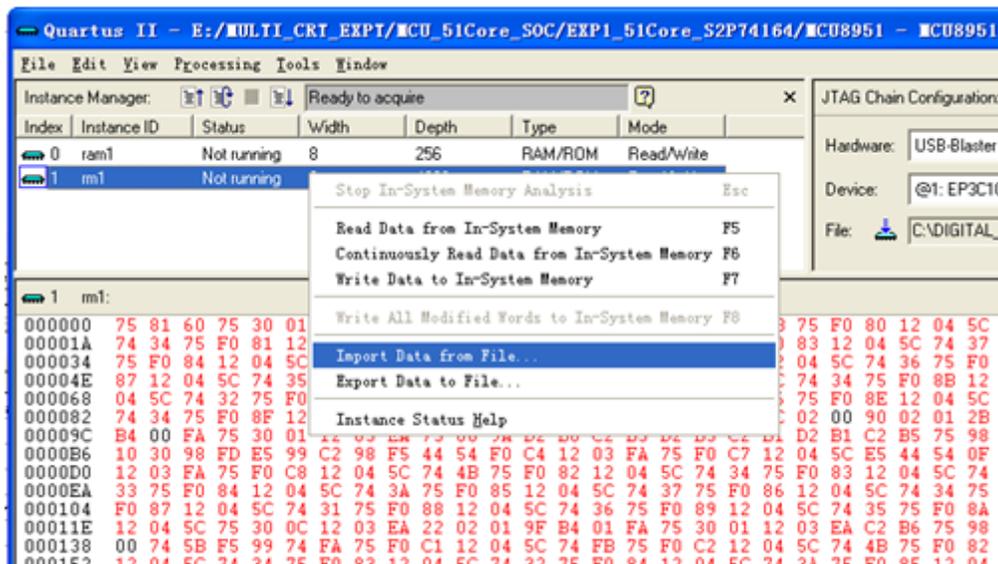


图 12-14 用 In-System Memory Content Editor 下载汇编程序代码

12.3 基于单片机核的FPGA片上系统设计

12.3.2 扩展SRAM模块的片上系统设计

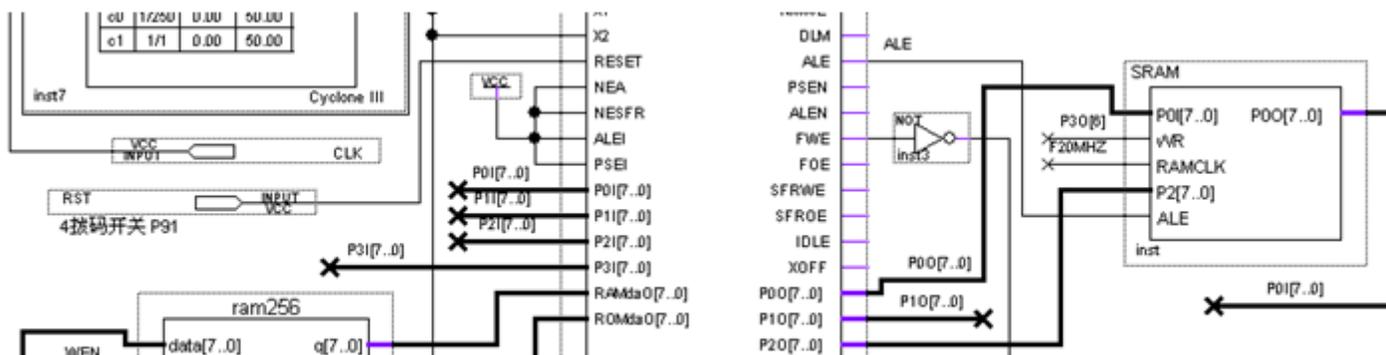


图 12-15 单片机扩展 SRAM 模块的 FPGA 片上系统电路图

12.3 基于单片机核的FPGA片上系统设计

12.3.2 扩展SRAM模块的片上系统设计

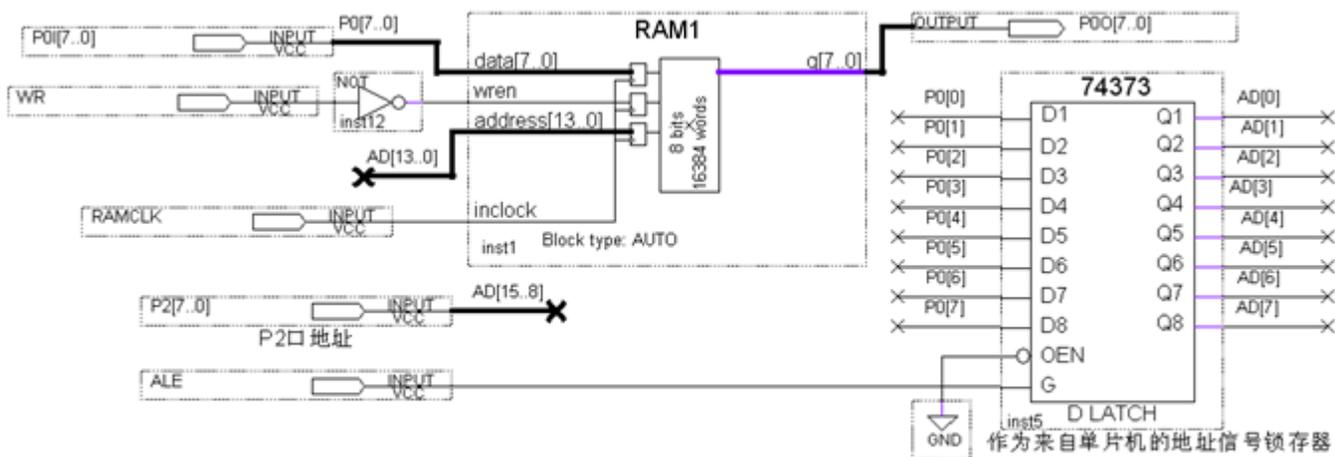


图 12-16 图 12-15 的模块 SRAM 中的电路结构

12.3 基于单片机核的FPGA片上系统设计

12.3.3 扩展移相信号发生器模块的片上系统设计

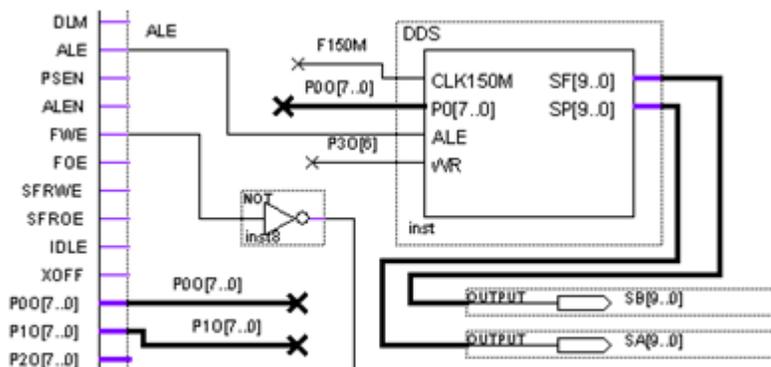


图 12-17 扩展移相信号发生器的 FPGA 片上系统系统

12.3 基于单片机核的FPGA片上系统设计

12.3.3 扩展移相信号发生器模块的片上系统设计

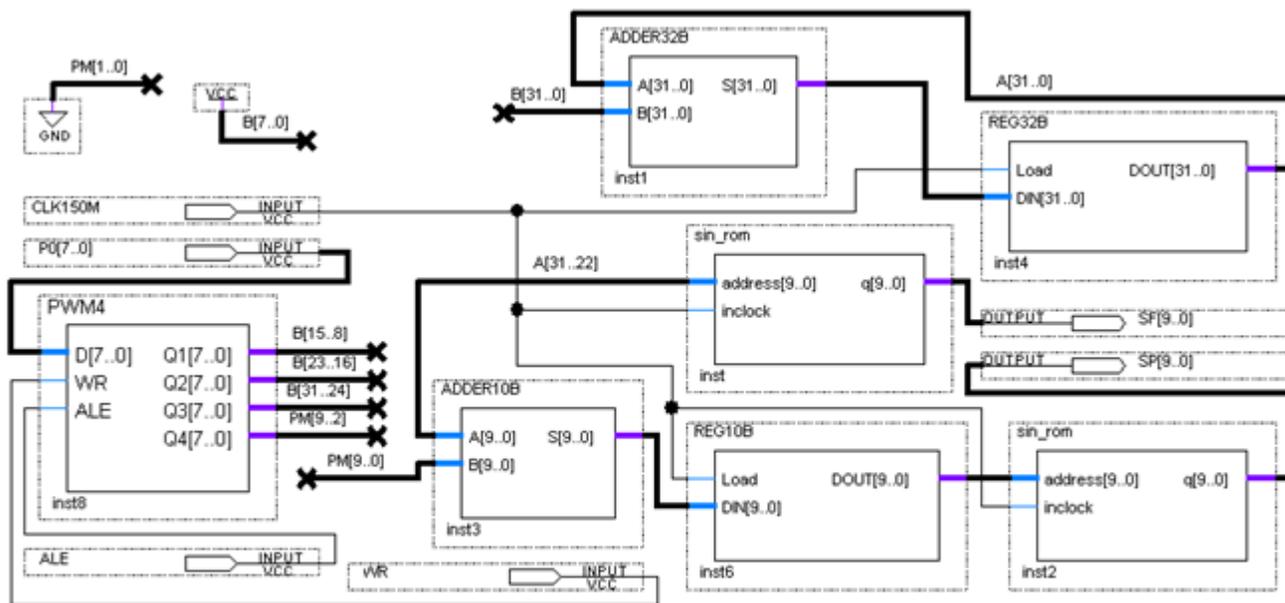
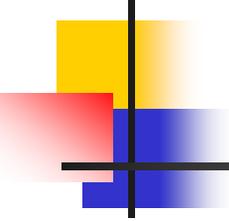


图 12-18 基于 FPGA 的移相信号发生模块之单片机扩展模块电路图



实验与设计

12-1. 单片机串口扩展**FPGA**片上系统设计

12-2. 单片机数据交换**FPGA**扩展电路设计

12-3. 扩展外部数据存储器的**FPGA**单片系统设计

12-4. 四通道**PWM**信号发生器及其**MCU**控制系统设计

12-5. 移相信号发生器和扫频信号发生器的片上系统设计

12-6. 里萨如图波形发生器的**FPGA**片上系统设计

实验与设计

12-7 脉宽/占空比/等精度频率多功能测试仪设计

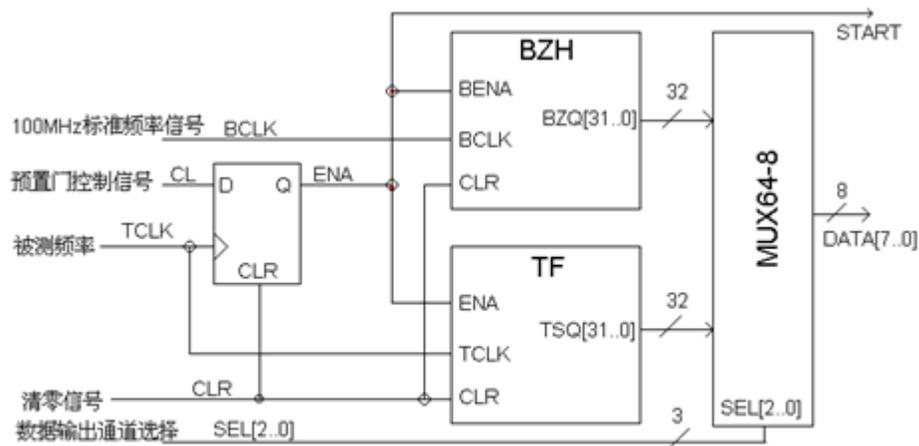


图 12-19 等精度频率计主控结构

实验与设计

12-7 脉宽/占空比/等精度频率多功能测试仪设计



图 12-20 频率计测控时序

实验与设计

12-7 脉宽/占空比/等精度频率多功能测试仪设计

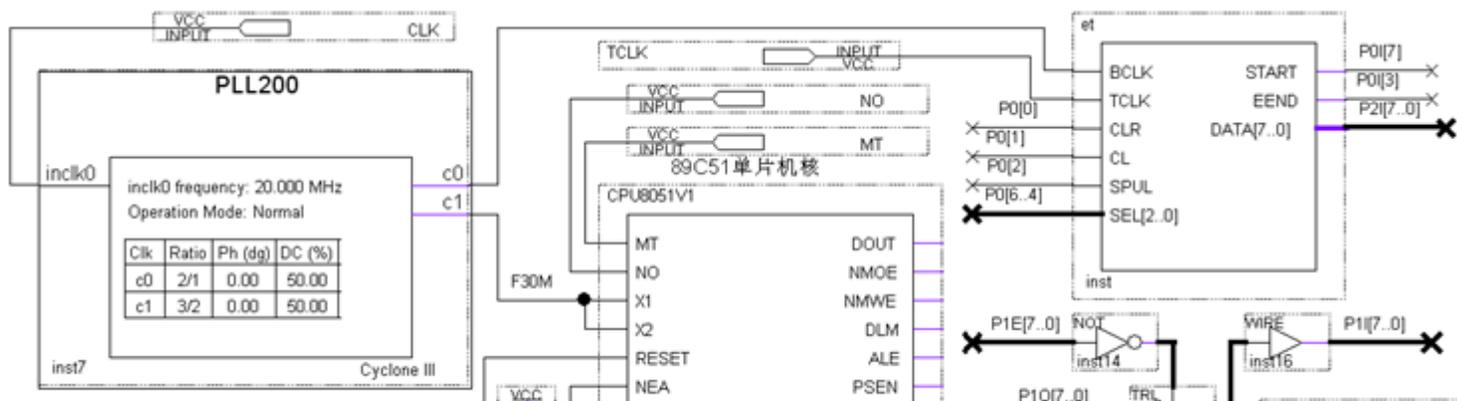


图 12-21 单片机扩展等精度频率测试模块的 FPGA 片上系统电路图

【例 12-7】

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY ET IS
    PORT (BCLK : IN STD_LOGIC; --标准频率时钟信号 clock2, 50MHz
          TCLK : IN STD_LOGIC; --待测频率时钟信号
          CLR : IN STD_LOGIC; --清零和初始化信号
          CL : IN STD_LOGIC; --当 SPUL 为高电平时, CL 为预置门控信号, 用于测频计数的时间控制,
          --当 SPUL 为低电平时, CL 为测脉宽控制信号: 高电平时测高电平脉宽, 为低电平时测低电平脉宽
          SPUL : IN STD_LOGIC; --测频或测脉宽控制
          START : OUT STD_LOGIC; --起始计数标志信号
          EEND : OUT STD_LOGIC; --由低电平变到高电平时指示脉宽计数结束
          SEL : IN STD_LOGIC_VECTOR(2 DOWNTO 0); --数据读出选择控制
          DATA : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)); --8 位数据读出
    END ET;
    ARCHITECTURE behav OF ET IS
        SIGNAL BZQ : STD_LOGIC_VECTOR(31 DOWNTO 0); --标准计数器
        SIGNAL TSQ : STD_LOGIC_VECTOR(31 DOWNTO 0); --测频计数器
        SIGNAL ENA : STD_LOGIC; --计数使能
        SIGNAL MA, CLK1, CLK2, CLK3 : STD_LOGIC;
        SIGNAL Q1, Q2, Q3, BENA, PUL : STD_LOGIC;
        SIGNAL SS : STD_LOGIC_VECTOR(1 DOWNTO 0);
    BEGIN
```

接下页

```

START <= ENA ;
DATA <=BZQ(7 DOWNTO 0) WHEN SEL="000" ELSE -- 标准频率计数低 8 位输出
      BZQ(15 DOWNTO 8) WHEN SEL="001" ELSE
      BZQ(23 DOWNTO 16) WHEN SEL="010" ELSE
      BZQ(31 DOWNTO 24) WHEN SEL="011" ELSE-- 标准频率计数最高 8 位输出
      TSQ(7 DOWNTO 0) WHEN SEL="100" ELSE--待测频率计数值最低 8 位输出
      TSQ(15 DOWNTO 8) WHEN SEL="101" ELSE
      TSQ(23 DOWNTO 16) WHEN SEL="110" ELSE
      TSQ(31 DOWNTO 24) WHEN SEL="111"ELSE--待测频率计数值最高 8 位输出
      TSQ(31 DOWNTO 24) ;
BZH : PROCESS (BCLK, CLR) BEGIN --标准频率测试计数器, 标准计数器
      IF CLR = '1' THEN BZQ<=(OTHERS=>'0');
      ELSIF BCLK'EVENT AND BCLK = '1' THEN
        IF BENA = '1' THEN BZQ <= BZQ + 1; END IF;
      END IF;
END PROCESS;
TF : PROCESS (TCLK, CLR, ENA) BEGIN --待测频率计数器, 测频计数器
      IF CLR = '1' THEN TSQ <= ( OTHERS=>'0' );
      ELSIF TCLK'EVENT AND TCLK = '1' THEN
        IF ENA='1' THEN TSQ<=TSQ+1; END IF;
      END IF;
END PROCESS;

```

接下页

```

PROCESS (TCLK, CLR)    BEGIN
  IF CLR='1' THEN    ENA<='0' ;
  ELSIF TCLK'EVENT AND TCLK='1' THEN ENA<=CL ;  END IF;
END PROCESS;

MA<=(TCLK AND CL) OR NOT(TCLK OR CL) ; --测脉宽逻辑
CLK1<=NOT MA ; CLK2<=MA AND Q1 ; CLK3<=NOT CLK2; SS<=Q2 & Q3 ;
DD1: PROCESS (CLK1, CLR)    BEGIN
  IF CLR='1' THEN    Q1<='0' ;
  ELSIF CLK1'EVENT AND CLK1='1' THEN    Q1<='1' ;  END IF;
  END PROCESS;
DD2: PROCESS (CLK2, CLR)    BEGIN
  IF CLR='1' THEN    Q2<='0' ;
  ELSIF CLK2'EVENT AND CLK2='1' THEN    Q2<='1' ;  END IF;
  END PROCESS;
DD3: PROCESS (CLK3, CLR)    BEGIN
  IF CLR='1' THEN    Q3<='0' ;
  ELSIF CLK3'EVENT AND CLK3='1' THEN    Q3<='1' ;  END IF;
  END PROCESS;
PUL<='1' WHEN SS="10"ELSE--当 SS="10"时, PUL 高电平, 允许标准计数器计数
  '0' ;                --禁止计数
EEND<='1' WHEN SS="11" ELSE  --EEND 为低电平时, 表示正在计数, 由低电平变到
  '0' ;                --高电平时, 表示计数结束, 可以从标准计数器中读数据了
BENA<=ENA WHEN SPUL='1'ELSE--标准计数器时钟使能控制信号, SPUL 为 1 时测频率
  PUL WHEN SPUL='0' ELSE  --SPUL 为 0 时测脉宽和占空比
  PUL ;
END behav;

```

实验与设计

12-7 脉宽/占空比/等精度频率多功能测试仪设计

$$\text{占空比} = \frac{N1}{N1 + N2} \times 100\% \quad (12-1)$$

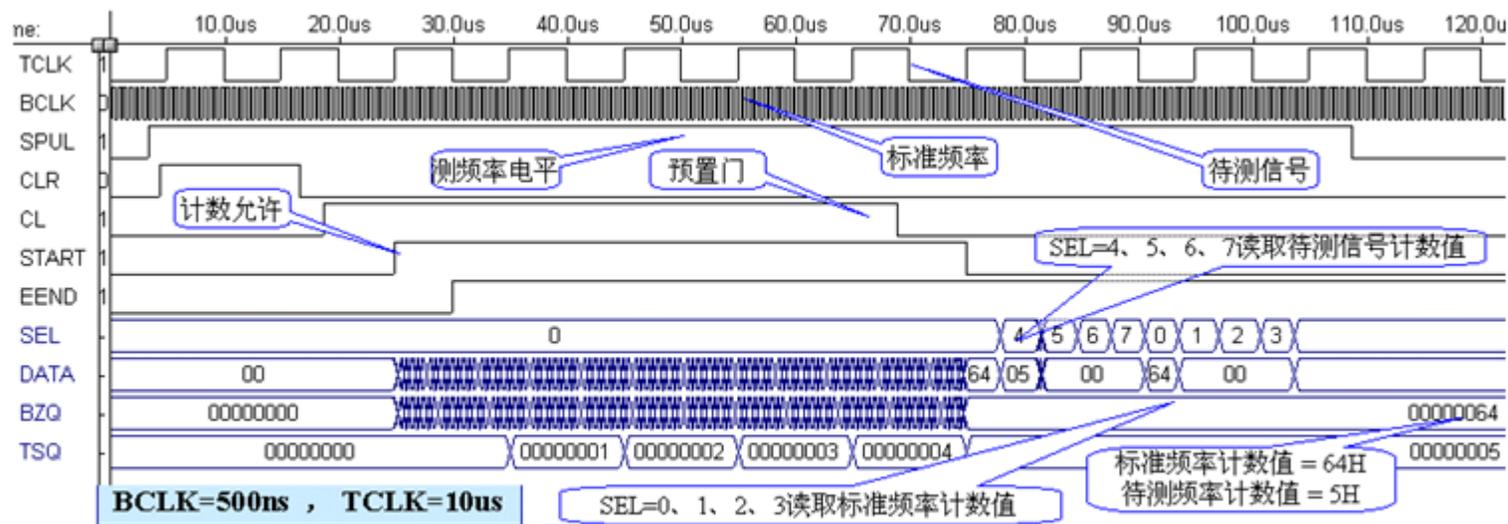


图 12-22 等精度频率计测频时序图

实验与设计

12-7 脉宽/占空比/等精度频率多功能测试仪设计

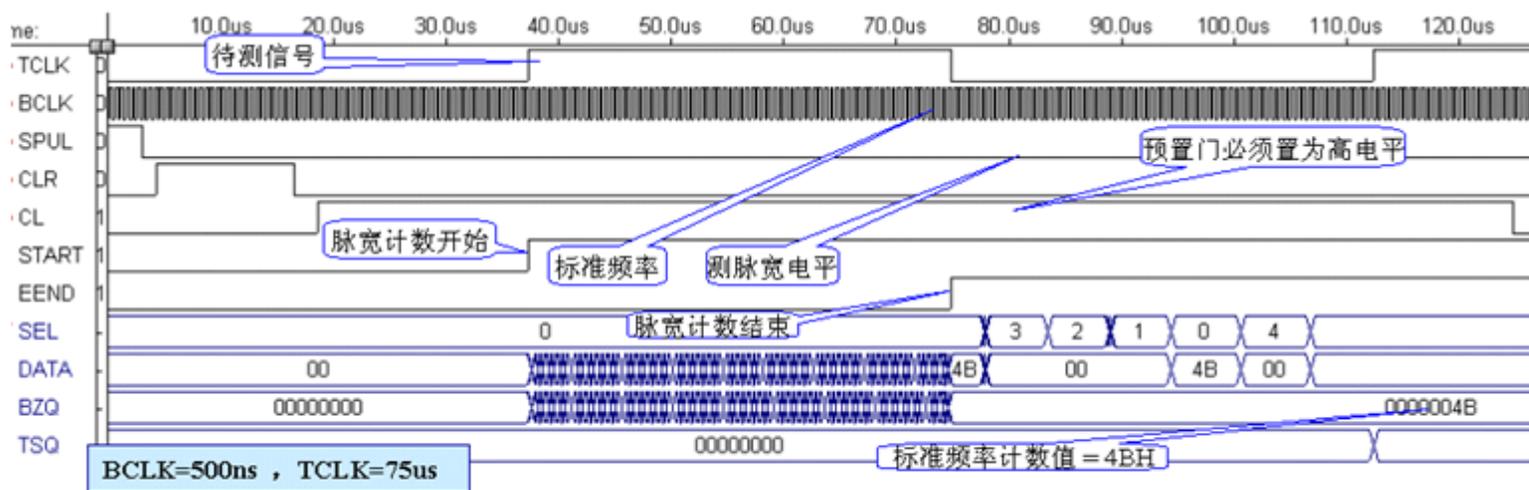


图 12-23 等精度频率计测脉宽时序图