



第14章

VHDL Test Bench仿真

14.1 VHDL行为仿真流程



图 14-1 HDL
系统设计描
述层次

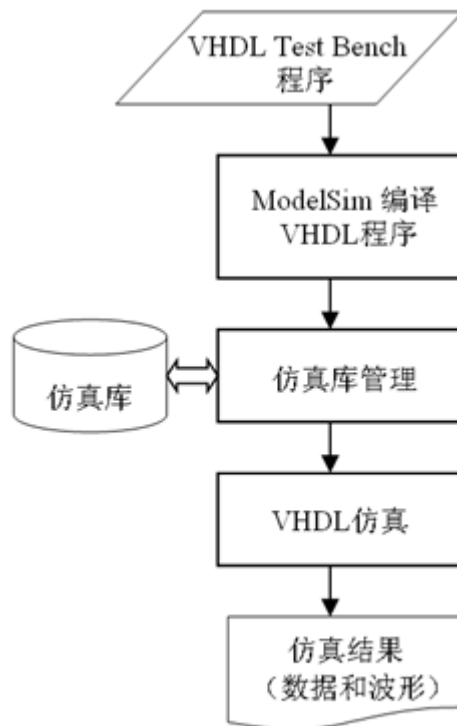


图 14-2 VHDL 仿真流程

14.2 VHDL测试基准实例

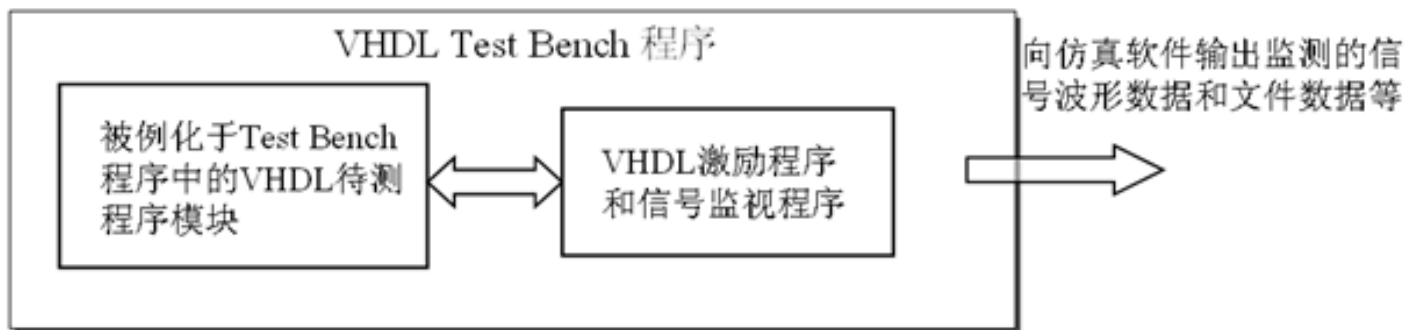


图 14-3 VHDL Test Bench 结构

【例 14-1】 //Test Bench 文件名: CNT10_TB.vhd

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY CNT10_TB IS
END CNT10_TB;
ARCHITECTURE ONE OF CNT10_TB IS
    COMPONENT CNT10
        PORT (CLK,RST,EN,LOAD : IN STD_LOGIC;
            DATA : IN STD_LOGIC_VECTOR(3 DOWNTO 0);
            DOUT : OUT STD_LOGIC_VECTOR(3 DOWNTO 0);
            COUT : OUT STD_LOGIC);
    END COMPONENT;
SIGNAL CLK : STD_LOGIC := '0'; --定义向 CNT10 时钟端口输入的时钟信号
SIGNAL RST : STD_LOGIC := '1'; --定义向 CNT10 复位端口输入的复位信号
SIGNAL EN : STD_LOGIC := '0'; --定义向 CNT10 时钟使能端口输入的使能信号
SIGNAL LOAD : STD_LOGIC := '1'; --定义控制 CNT10 加载的信号
SIGNAL DATA : STD_LOGIC_VECTOR(3 DOWNTO 0);
SIGNAL DOUT : STD_LOGIC_VECTOR(3 DOWNTO 0);
SIGNAL COUT : STD_LOGIC;
CONSTANT CLK_P : TIME := 30 ns ;
    -- 定义时间类型常数是 CLK_P=30 ns,注意 30 与 ns 间应该有空格!
```

接下页

14.2 VHDL测试基准实例

```
BEGIN
  U1: CNT10 PORT MAP (CLK=>CLK, RST=>RST, EN=>EN, LOAD=>LOAD,
    DATA=>DATA, DOUT=>DOUT, COUT=>COUT); --例化待测试模块
  PROCESS BEGIN --产生时钟信号的进程, 这是个没有敏感信号的永久自动启动的进程
    CLK<='0';    WAIT FOR CLK_P; --CLK 首先输出 0, ,30ns 后 输出 1,
    CLK<='1';    WAIT FOR CLK_P; --再过 30ns 后返回。
  END PROCESS;
  RST <= '1', '0' AFTER 110 ns, '1' AFTER 114 ns; --RST 的电平控制
  EN  <= '0', '1' AFTER 40 ns; --EN 电平控制
  LOAD <= '1', '0' AFTER 910 ns, '1' AFTER 940 ns;
  DATA <= "0100", "0110" AFTER 400 ns, --加载数据输出
    "0111" AFTER 700 ns, "0100" AFTER 1000 ns;
END ONE;
```

14.3 VHDL Test Bench测试流程

1. 安装ModelSim

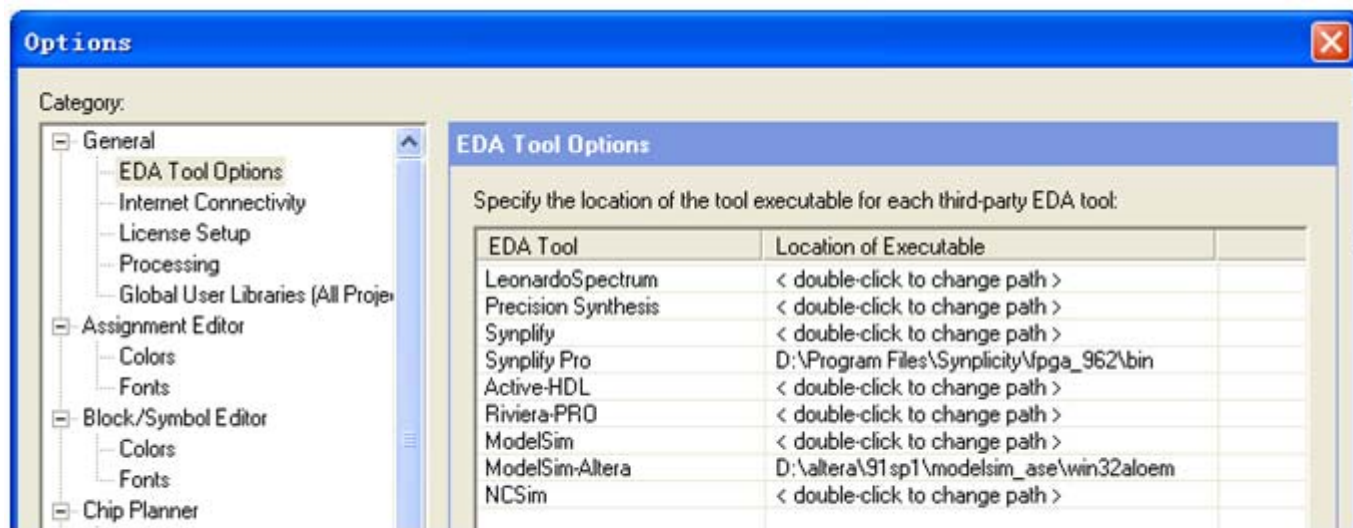


图 14-4 VHDL Test Bench 结构

14.3 VHDL Test Bench测试流程

2. 为Test Bench仿真设置参数

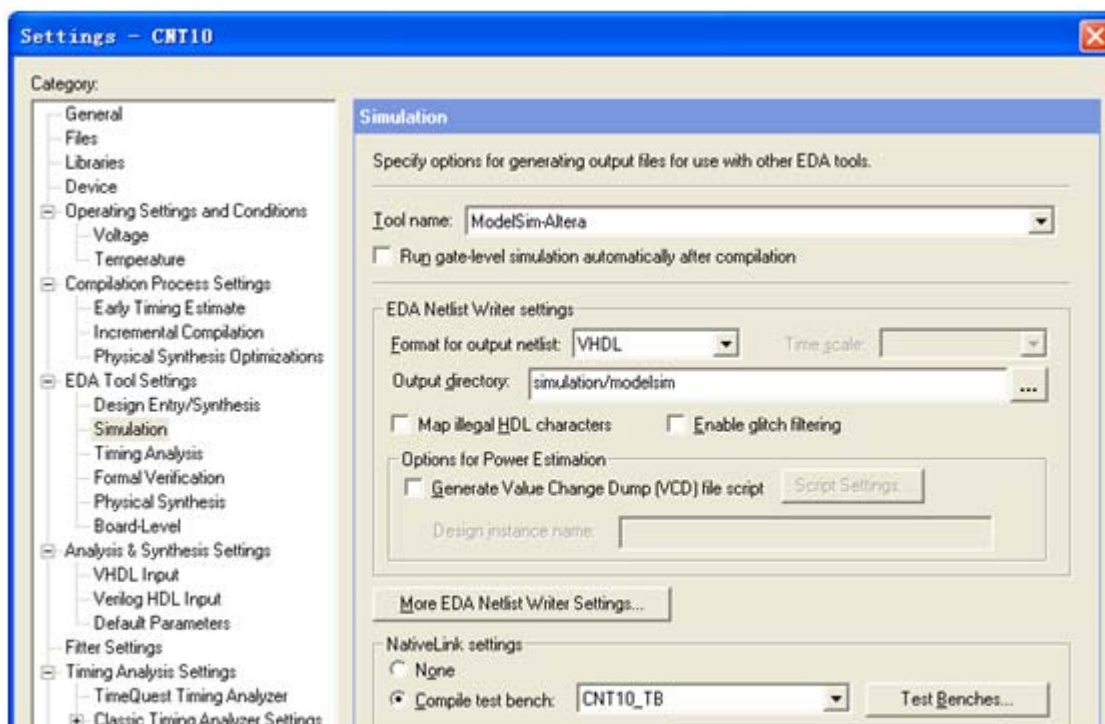


图 14-5 选择仿真工具名称和输出网表语言形式

14.3 VHDL Test Bench测试流程

2. 为Test Bench仿真设置参数

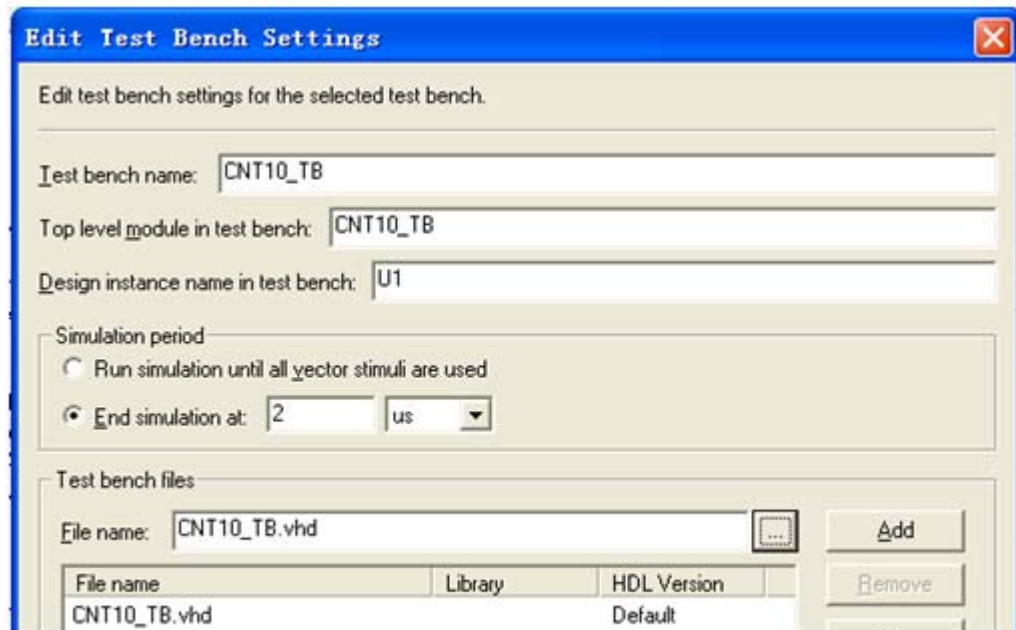


图 14-6 为 Test Bench 仿真设置参数

14.3 VHDL Test Bench测试流程

3. 启动Test Bench仿真

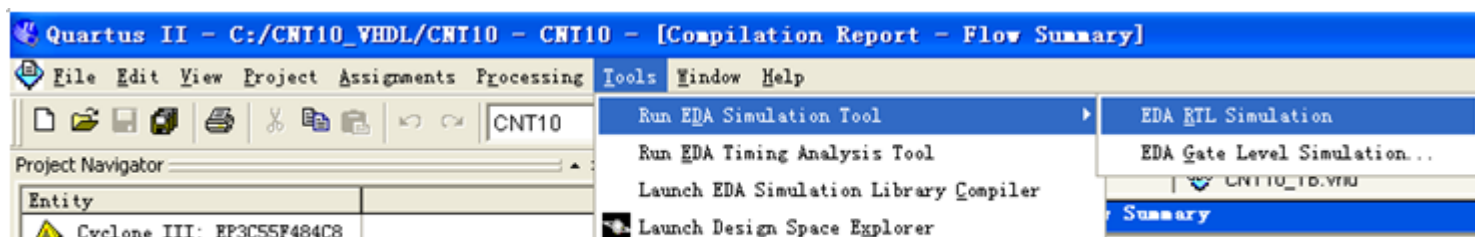


图 14-7 启动 RTL 级仿真

14.3 VHDL Test Bench测试流程

4. 分析Test Bench仿真结果

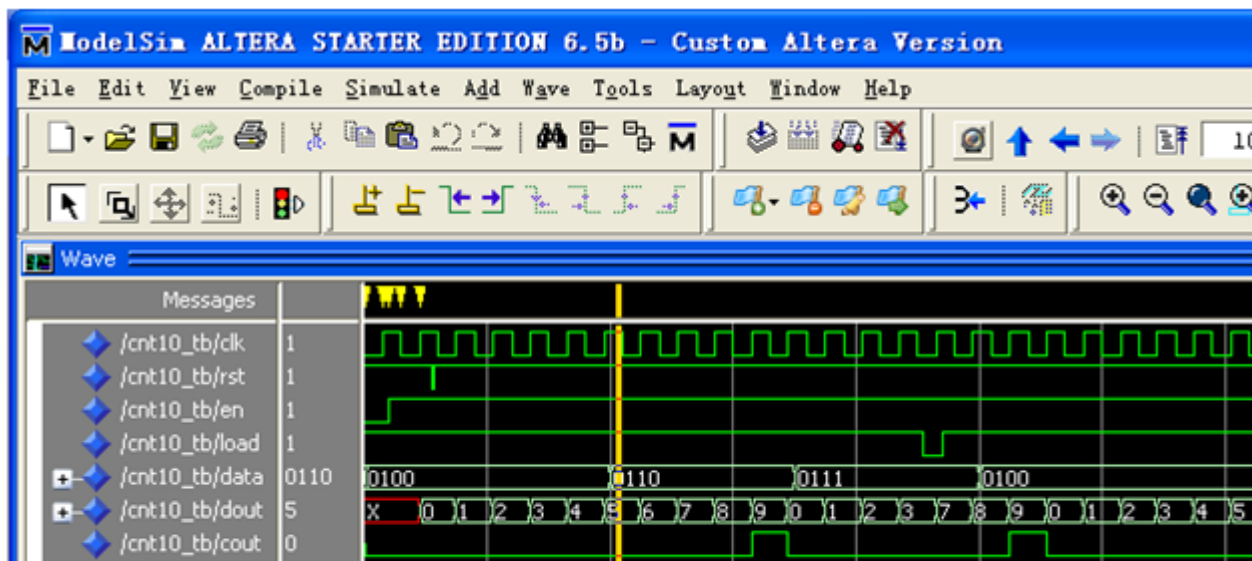


图 14-8 Test Bench 输出的仿真波形