

第12章



实用数字系统综合设计实践

1、6位十进制数字频率计设计

1. 测频原理

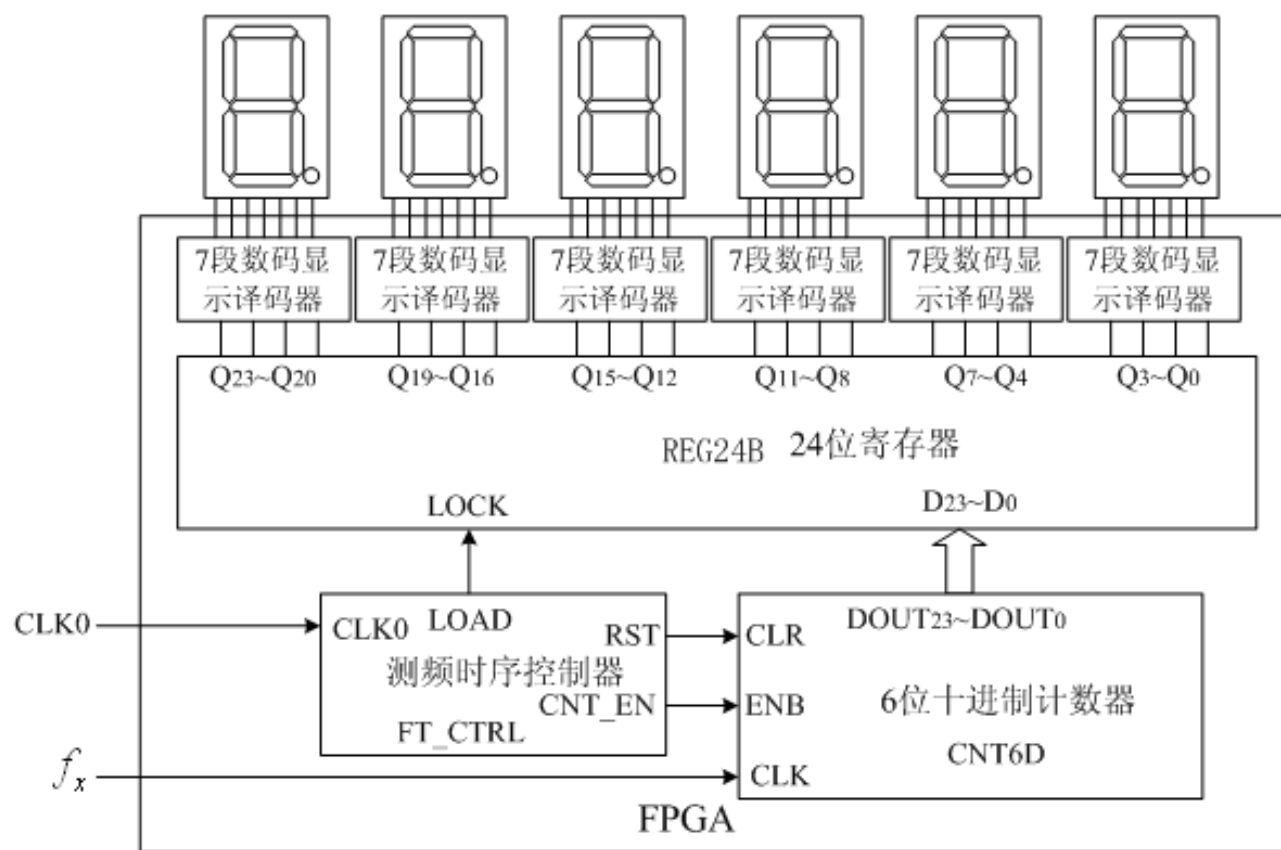


图 12-1 频率计模型框图

1、6位十进制数字频率计设计

1. 测频原理

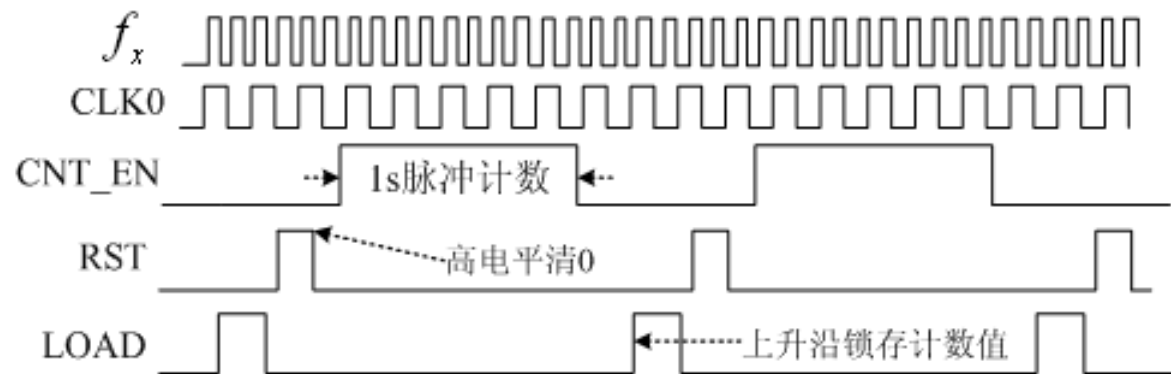


图 12-2 测频控制时序

一、6位十进制数字频率计设计

2. 6位十进制计数器的设计

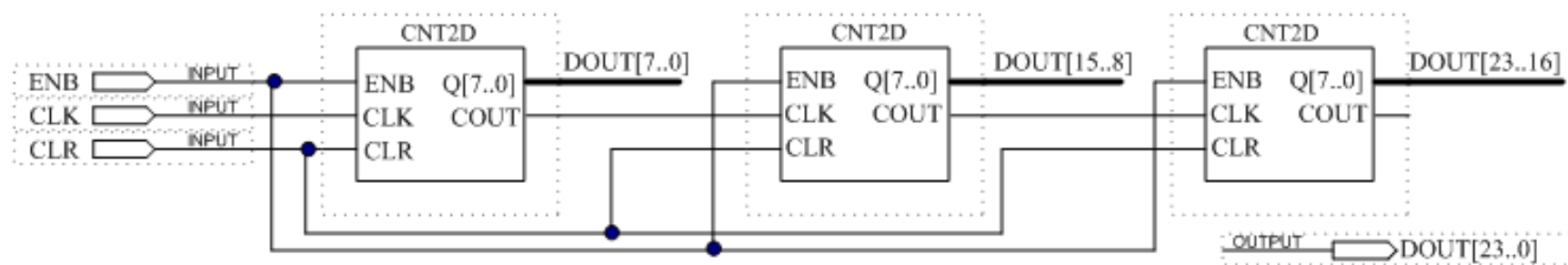


图 12-3 6 位十进制计数器电路 (CNT6D 内部的结构)

一、6位十进制数字频率计设计

3. 24位寄存器设计

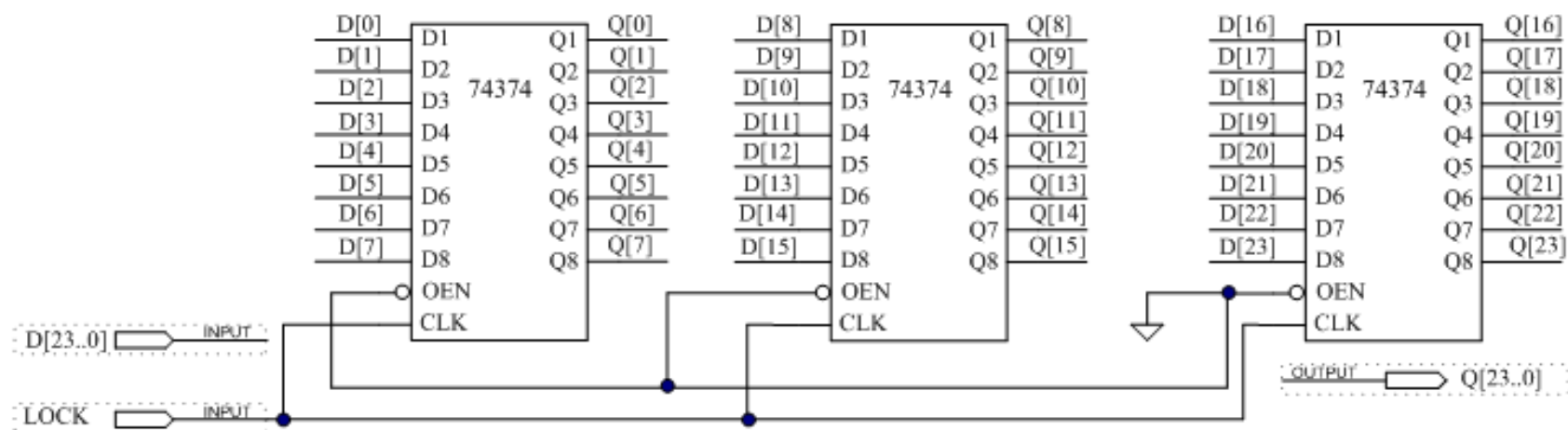


图 12-4 由 3 个 74374 构成的 24 位寄存器电路(REG24B 内部结构)

一、6位十进制数字频率计设计

4. 时序控制器设计

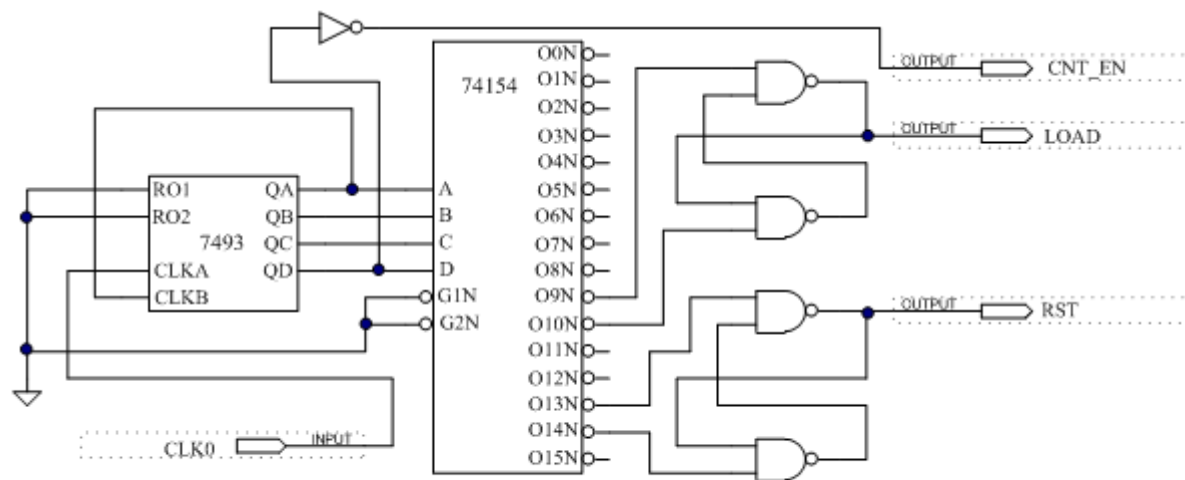


图 12-5 频率计测频时序控制器电路

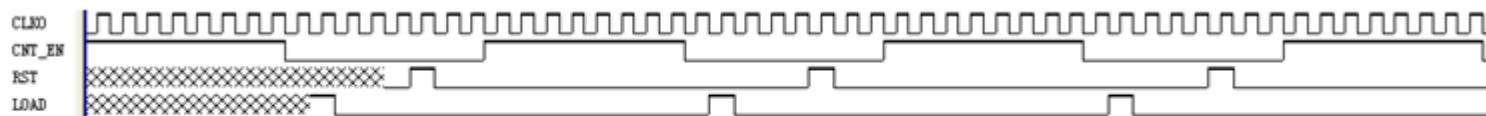


图 12-6 图 12-5 电路的仿真波形

一、6位十进制数字频率计设计

5. 顶层电路设计与测试

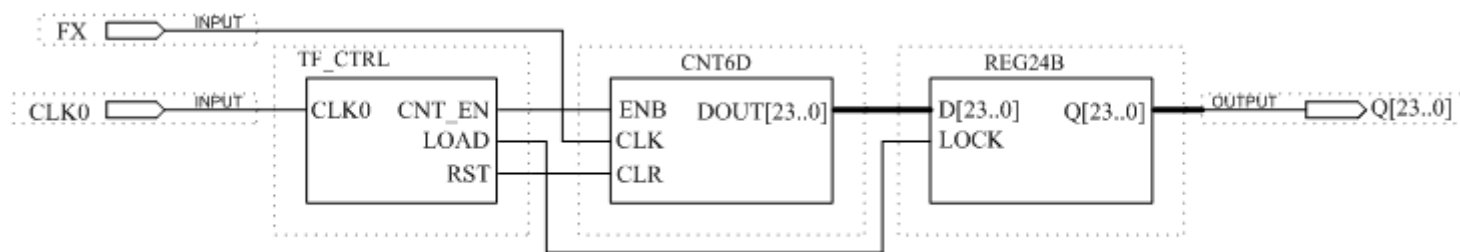


图 12-7 频率计顶层电路原理图

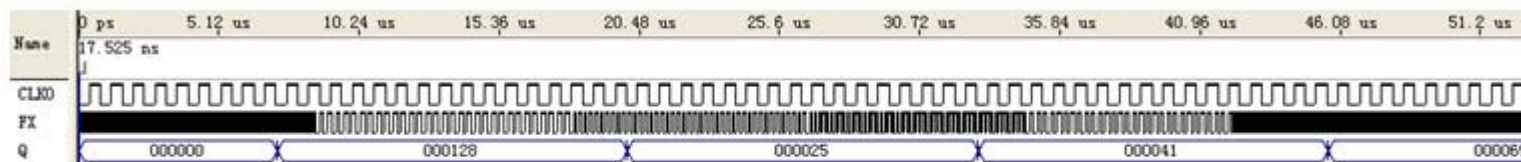


图 12-8 频率计时序波形

一、6位十进制数字频率计设计

6. 在FPGA中完成硬件实测

7. 设计实践任务

二、简易电子琴模型设计

1. 系统端口

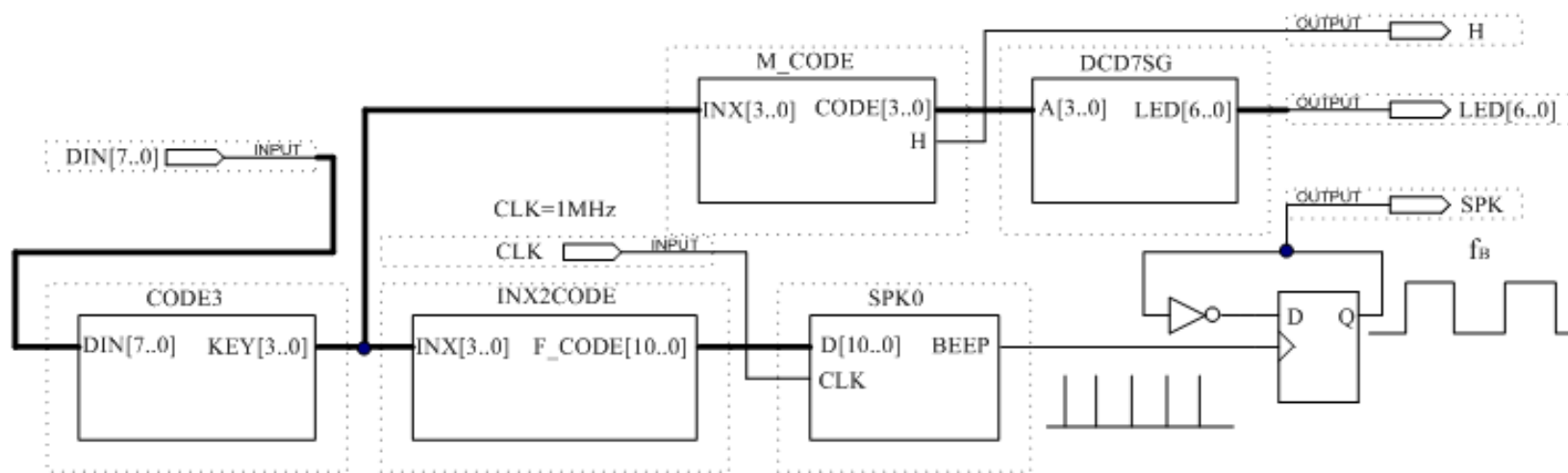


图 12-9 电子琴顶层设计电路

二、 简易电子琴模型设计

1. 系统端口

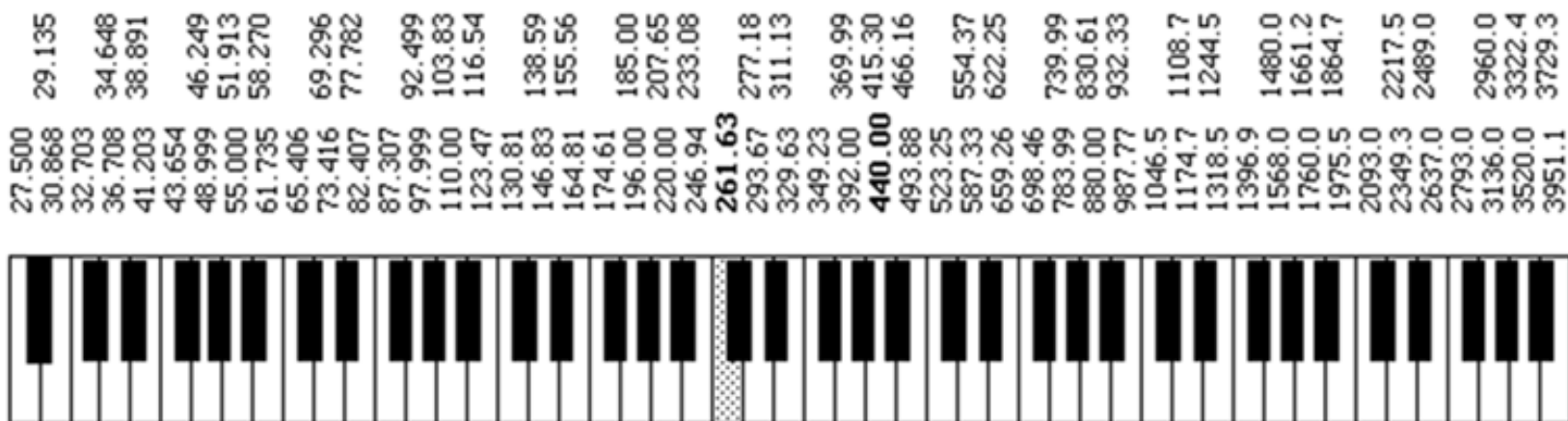


图 12-10 电子琴音阶基频对照图 (单位 Hz)

二、 简易电子琴模型设计

2. 工作原理

```
module CODE3 (DIN, KEY);
  input[7:0] DIN;      output[3:0] KEY;
  reg[3:0] KEY;
  always @(DIN)
    case (DIN)
      8'b11111110 : KEY<=4'b0001;
      8'b11111101 : KEY<=4'b0010 ;
      8'b11111011 : KEY<=4'b0011;
      8'b11110111 : KEY<=4'b0100 ;
      8'b11101111 : KEY<=4'b0101;
      8'b11011111 : KEY<=4'b0110 ;
      8'b10111111 : KEY<=4'b0111;
      8'b01111111 : KEY<=4'b1000 ;
      8'b00111111 : KEY<=4'b1001;
      8'b11111111 : KEY<=4'b0000 ;
      default : KEY<=4'b0000 ;
    endcase
endmodule
```

图 12-11 CODE3 模块的 case 语句描述

```
module INX2CODE (INX, F_CODE);
  input[3:0] INX;  output[10:0] F_CODE ;
  reg[10:0] F_CODE;
  always @(INX)
    case (INX)
      0 : F_CODE <= 11'H7FF;
      1 : F_CODE <= 11'H305;
      2 : F_CODE <= 11'H390;
      3 : F_CODE <= 11'H40C;
      4 : F_CODE <= 11'H45C;
      5 : F_CODE <= 11'H4AD;
      6 : F_CODE <= 11'H50A;
      7 : F_CODE <= 11'H55C;
      8 : F_CODE <= 11'H582;
      9 : F_CODE <= 11'H5C8;
      10 : F_CODE <= 11'H606;
      11 : F_CODE <= 11'H640;
      12 : F_CODE <= 11'H656;
      13 : F_CODE <= 11'H684;
      14 : F_CODE <= 11'H69A;
      15 : F_CODE <= 11'H6C0;
      default : F_CODE <= 11'H6C0;
    endcase
endmodule
```

图 12-12 INX2CODE 模块的 case 语句描述

二、 简易电子琴模型设计

3. SPK0模块

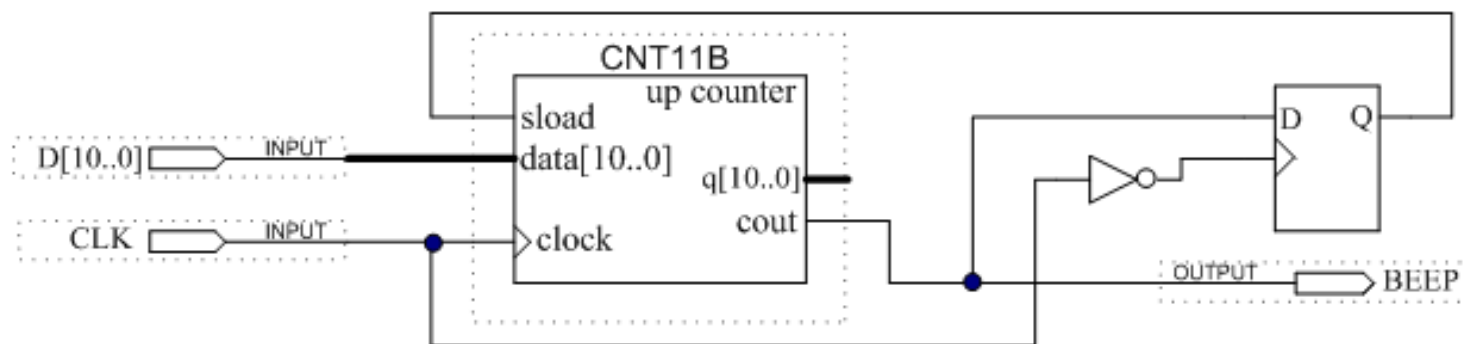


图 12-13 SPK0 模块内部电路结构

二、 简易电子琴模型设计

4. 模块M_CODE和DCD7SG

```
module M_CODE (INX, CODE, H);
  input[3:0] INX;  output[3:0] CODE;
  output H;
  reg[3:0] CODE;  reg H;
  always @(INX)
  case (INX)
    0 : {CODE,H} <= {4'B0000,1'B0};
    1 : {CODE,H} <= {4'B0001,1'B0};
    2 : {CODE,H} <= {4'B0010,1'B0};
    3 : {CODE,H} <= {4'B0011,1'B0};
    4 : {CODE,H} <= {4'B0100,1'B0};
    5 : {CODE,H} <= {4'B0101,1'B0};
    6 : {CODE,H} <= {4'B0110,1'B0};
    7 : {CODE,H} <= {4'B0111,1'B0};
    8 : {CODE,H} <= {4'B0001,1'B1};
    9 : {CODE,H} <= {4'B0010,1'B1};
    10 : {CODE,H} <= {4'B0011,1'B1};
    11 : {CODE,H} <= {4'B0100,1'B1};
    12 : {CODE,H} <= {4'B0101,1'B1};
    13 : {CODE,H} <= {4'B0110,1'B1};
    14 : {CODE,H} <= {4'B0111,1'B1};
    15 : {CODE,H} <= {4'B0001,1'B1};
  default : {CODE,H} <= {4'B0001,1'B1};
  endcase
endmodule
```

图 12-14 M_CODE 模块的 case 语句描述

```
module DCD7SG (A,LED);
  input[3:0] A;  output[6:0] LED ;
  reg[6:0] LED ;
  always @(A)
  case (A)
    4'B0000 : LED <= 7'B0111111 ;
    4'B0001 : LED <= 7'B0000110 ;
    4'B0010 : LED <= 7'B1011011 ;
    4'B0011 : LED <= 7'B1001111 ;
    4'B0100 : LED <= 7'B1100110 ;
    4'B0101 : LED <= 7'B1101101 ;
    4'B0110 : LED <= 7'B1111101 ;
    4'B0111 : LED <= 7'B0000111 ;
    4'B1000 : LED <= 7'B1111111 ;
    4'B1001 : LED <= 7'B1101111 ;
    4'B1010 : LED <= 7'B1110111 ;
    4'B1011 : LED <= 7'B1111100 ;
    4'B1100 : LED <= 7'B0111001 ;
    4'B1101 : LED <= 7'B1011110 ;
    4'B1110 : LED <= 7'B1111001 ;
    4'B1111 : LED <= 7'B1110001 ;
  default : LED <= 7'B1110001 ;
  endcase
endmodule
```

图 12-15 DCD7SG 模块的 case 语句描述

二、 简易电子琴模型设计

5. LPM_ROM型音符预置数存储器设置

```
WIDTH = 11 ;  
DEPTH = 32 ;  
ADDRESS_RADIX = DEC ;  
DATA_RADIX = HEX ;  
CONTENT BEGIN  
00: 7FF ; 01: 305 ; 02: 390 ; 03: 40C ; 04: 45C ; 05: 4AD ; 06: 50A ; 07: 55C ; 08: 58C ;  
09: 5C8 ; 10: 606 ; 11: 630 ; 12: 656 ; 13: 684 ; 14: 69A ; 15: 6C0 ; 16: 6D6 ; 17: 6EA ;  
18: 6FE ; 19: 717 ; 20: 726 ; 21: 78A ; 22: 000 ; 23: 000 ; 24: 000 ; 25: 000 ; 26: 000 ;  
27: 000 ; 28: 000 ; 29: 000 ; 30: 000 ; 31: 000 ;  
END ;
```

图 12-16 音符预置数 mif 配置文件

二、简易电子琴模型设计

6. 时序仿真测试与硬件实现

7. 设计实践任务

三、乐曲自动演奏电路设计

1. 电路结构与原理

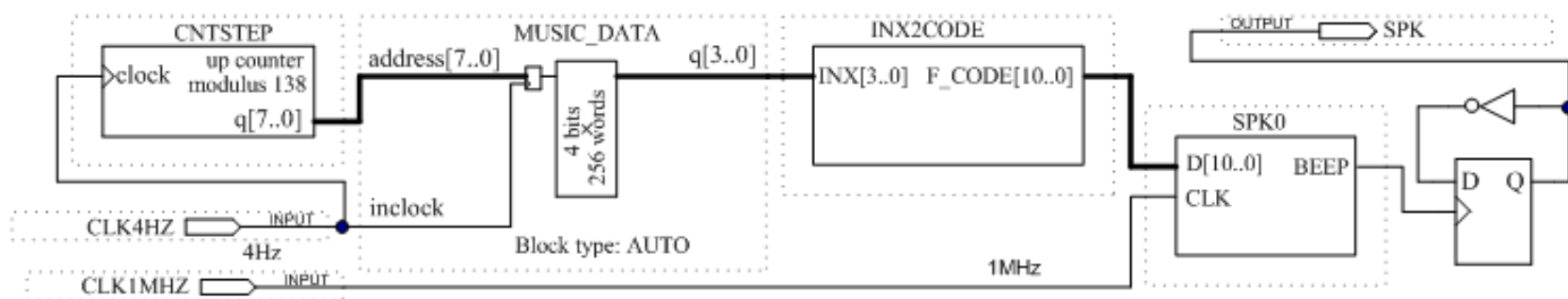


图 12-17 乐曲自动演奏电路

三、乐曲自动演奏电路设计

1. 电路结构与原理

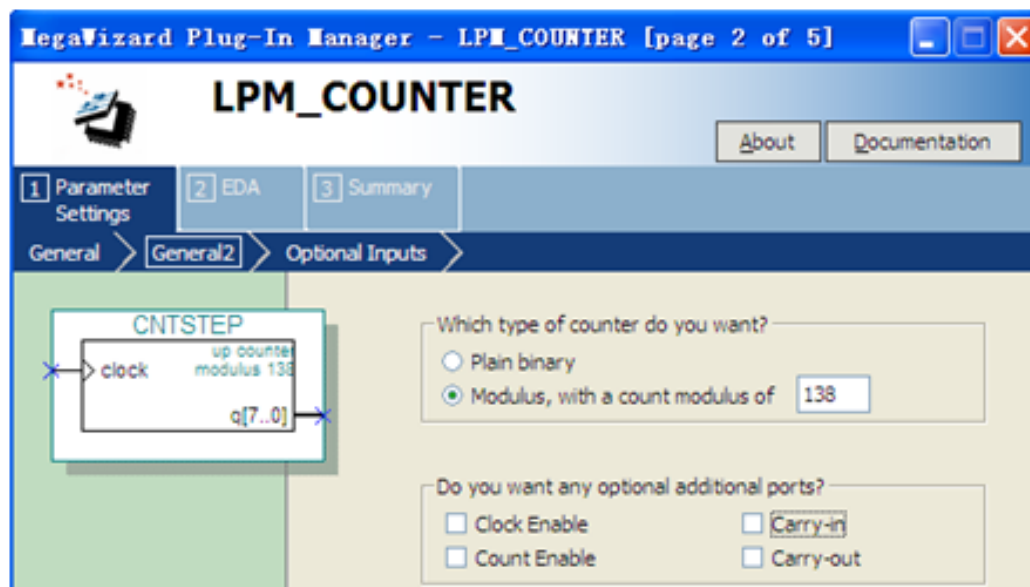


图 12-18 模块 CNTSTEP 的参数设置界面

三、乐曲自动演奏电路设计

2. 电路设计与数据文件生成

【例 12-1】

WIDTH=4; --“梁祝”乐曲乐谱码mif文件。设文件名: data1.mif

DEPTH=256;

ADDRESS_RADIX=DEC;

DATA_RADIX=DEC;

CONTENT BEGIN --注意实用文件中要展开以下数据, 每一组占一行

```
00: 3 ; 01: 3 ; 02: 3 ; 03: 3; 04: 5; 05: 5; 06: 5;07: 6; 08: 8; 09: 8;
10: 8 ; 11: 9 ; 12: 6 ; 13: 8; 14: 5; 15: 5; 16: 12;17: 12;18: 12; 19:15;
20:13 ; 21:12 ; 22:10 ; 23:12; 24: 9; 25: 9; 26: 9; 27: 9; 28: 9; 29: 9;
30: 9 ; 31: 0 ; 32: 9 ; 33: 9; 34: 9; 35:10; 36: 7; 37: 7; 38: 6; 39: 6;
40: 5 ; 41: 5 ; 42: 5 ; 43: 6; 44: 8; 45: 8; 46: 9; 47: 9; 48: 3; 49: 3;
50: 8 ; 51: 8 ; 52: 6 ; 53: 5; 54: 6; 55: 8; 56: 5; 57: 5; 58: 5; 59: 5;
60: 5 ; 61: 5 ; 62: 5 ; 63: 5; 64:10; 65:10; 66:10; 67: 12; 68: 7; 69: 7;
70: 9 ; 71: 9 ; 72: 6 ; 73: 8; 74: 5; 75: 5; 76: 5; 77: 5; 78: 5; 79: 5;
80: 3 ; 81: 5 ; 82: 3 ; 83: 3; 84: 5; 85: 6; 86: 7; 87: 9; 88: 6; 89: 6;
90: 6 ; 91: 6 ; 92: 6 ; 93: 6; 94: 5; 95: 6; 96: 8; 97: 8; 98: 8; 99: 9;
100:12 ;101:12 ;102:12 ;103:10;104: 9;105: 9;106:10;107: 9;108: 8;109: 8;
110: 6 ;111: 5 ;112: 3 ;113: 3;114: 3;115: 3;116: 8;117: 8;118: 8;119: 8;
120: 6 ;121: 8 ;122: 6 ;123: 5;124: 3;125: 5;126: 6;127: 8;128: 5;129: 5;
130: 5 ;131: 5 ;132: 5 ;133: 5;134: 5;135: 5;136: 0;137: 0;138: 0;
END ;
```

三、乐曲自动演奏电路设计

3. 设计实践任务

四、直流电机测控电路设计

1. 电路结构与原理

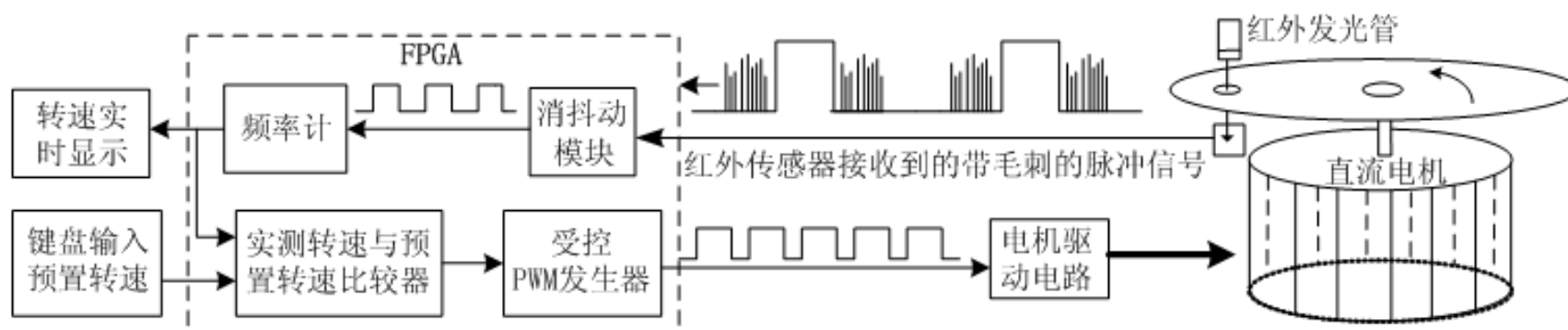


图 12-19 直流电机测控电路模块图

四、直流电机测控电路设计

2. PWM信号发生器的原理与设计

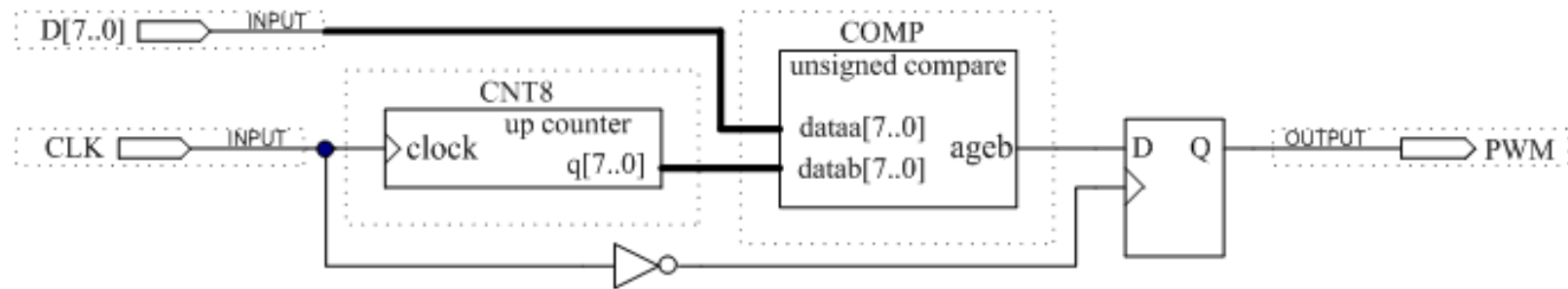


图 12-20 PWM 信号发生器电路

四、直流电机测控电路设计

2. PWM信号发生器的原理与设计

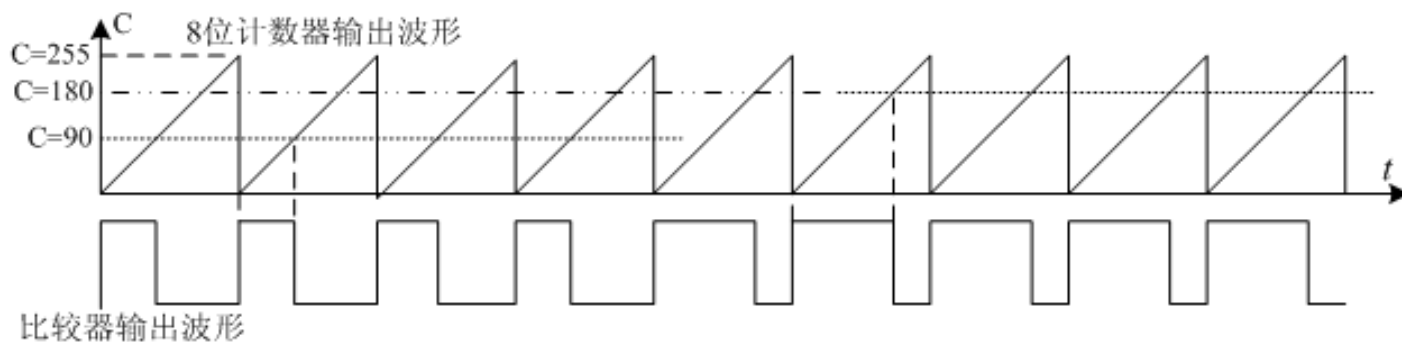


图 12-21 PWM 信号生成原理图

四、直流电机测控电路设计

2. PWM信号发生器的原理与设计

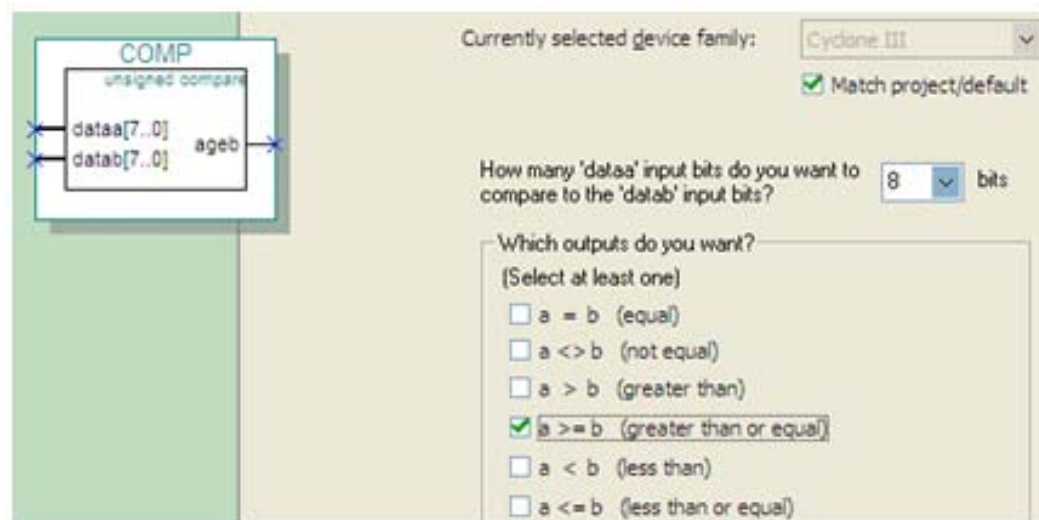


图 12-22 8 位 LPM 比较器参数设置界面

四、直流电机测控电路设计

3. 消抖动模块设计

4. 其他模块的设计

5. 设计实践任务

五、DDS信号发生器设计

1. DDS原理

$$f_{\text{SIN}} = \text{FWD} (f_{\text{clk}}/2^n)$$

12-1

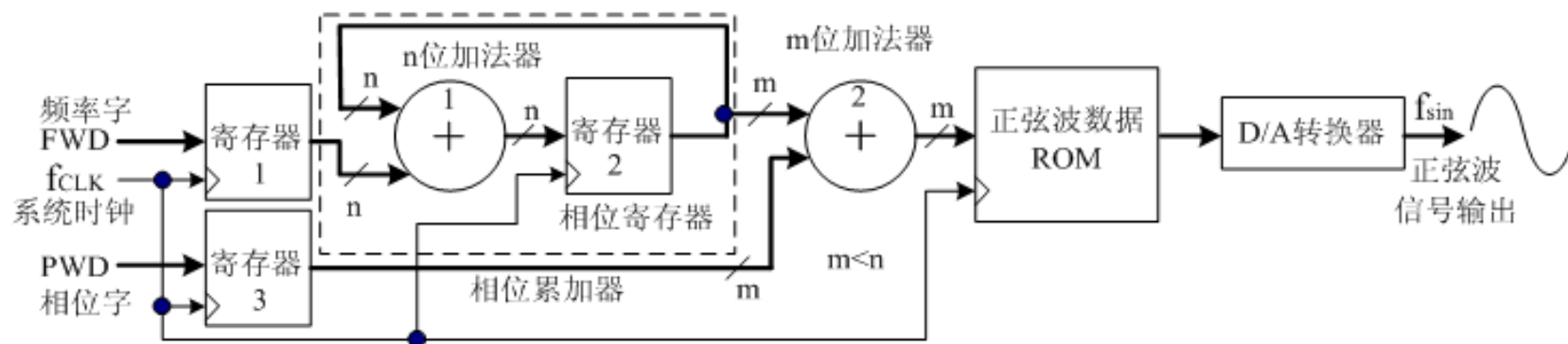


图 12-23 DDS 基本原理组成框图

五、DDS信号发生器设计

1. DDS原理



相位累加器位宽	对应采样点数
8	256
12	4096
16	65536
20	1048576
24	16777216
28	268435456
32	4294967296

图 12-24 相位累加器位宽和采样点关系

五、DDS信号发生器设计

2. DDS信号发生器设计

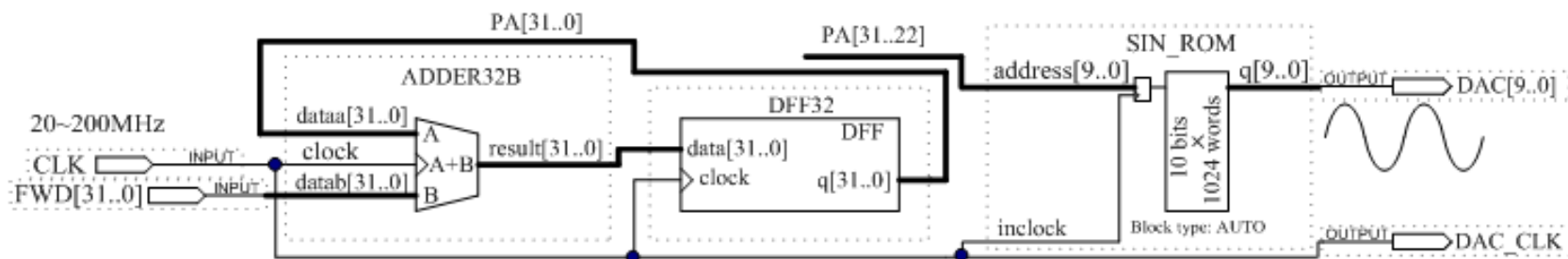


图 12-25 DDS 信号发生器电路顶层原理图

五、DDS信号发生器设计

2. DDS信号发生器设计

① 32位加法器ADDER32B。

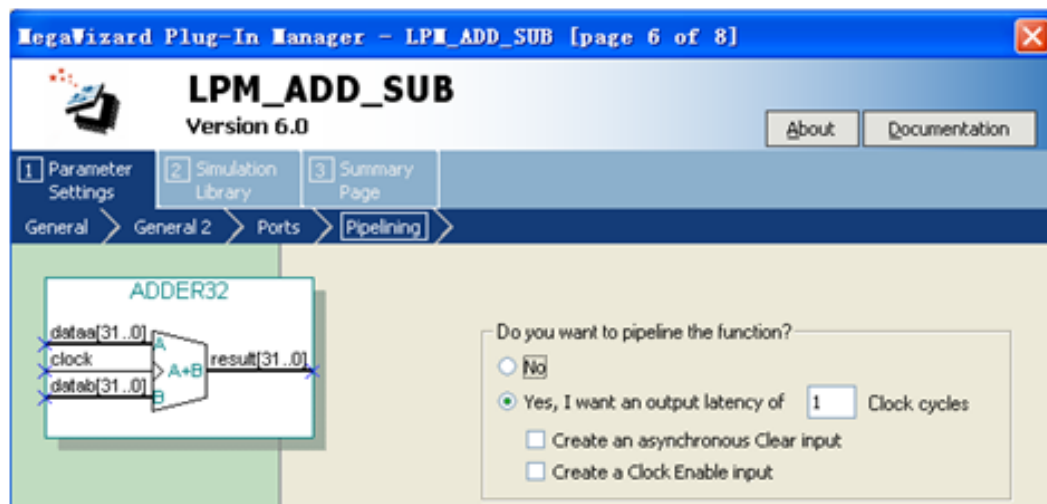


图 12-26 设置 LPM 加法器参数界面（设置流水线结构）

五、DDS信号发生器设计

2. DDS信号发生器设计

② 32位寄存器DFF32。

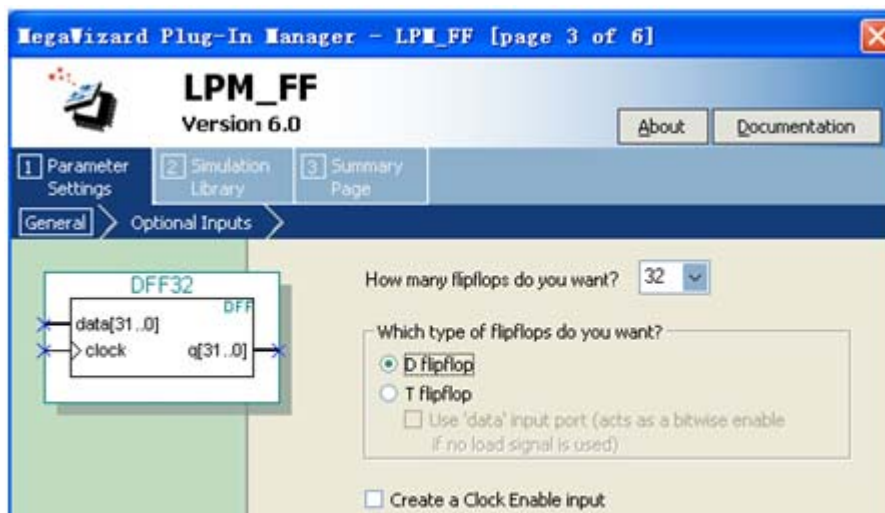


图 12-27 LPM_FF 寄存器设置界面

③ 正弦波形数据存储寄存器SIN_ROM。

五、DDS信号发生器设计

2. DDS信号发生器设计

【例 12-2】rom_data.mif 10 位正弦波数据文件，

```
WIDTH=10;
DEPTH=1024;
ADDRESS RADIX=DEC;
DATA RADIX=DEC;
CONTENT BEGIN
    0 : 513; 1 : 515; 2 : 518; 3 : 521; 4 : 524; 5 : 527; 6 : 530; 7 : 533;
    8 : 537; 9 : 540; 10 : 543; 11 : 546; 13 : 549; 13 : 552; 14 : 555;
    . . . . . (略去部分数据)
    1018 : 493; 1019 : 496; 1020 : 499; 1021 : 502; 1022 : 505; 1023 : 508;
END;
```

五、DDS信号发生器设计

3. DDS信号发生器实测

$$f_{\sin} = \frac{\text{FWD}[31..0]}{2^{32}} \cdot f_{\text{clk}} \quad (12-2)$$

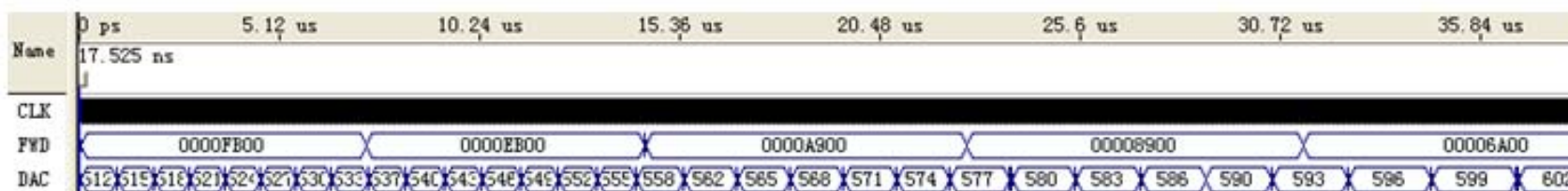


图 12-28 图 12-25 所示电路的仿真波形

五、DDS信号发生器设计

4. 设计实践任务

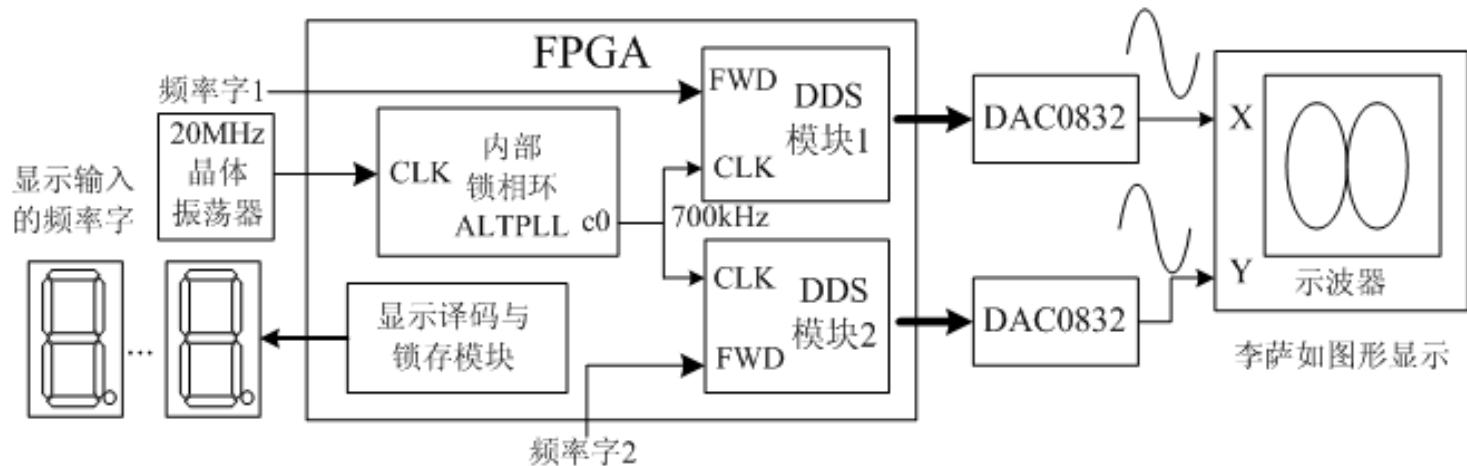


图 12-29 李萨如图信号发生器结构框图

六、数字移相信号发生器设计

1. 电路结构与原理

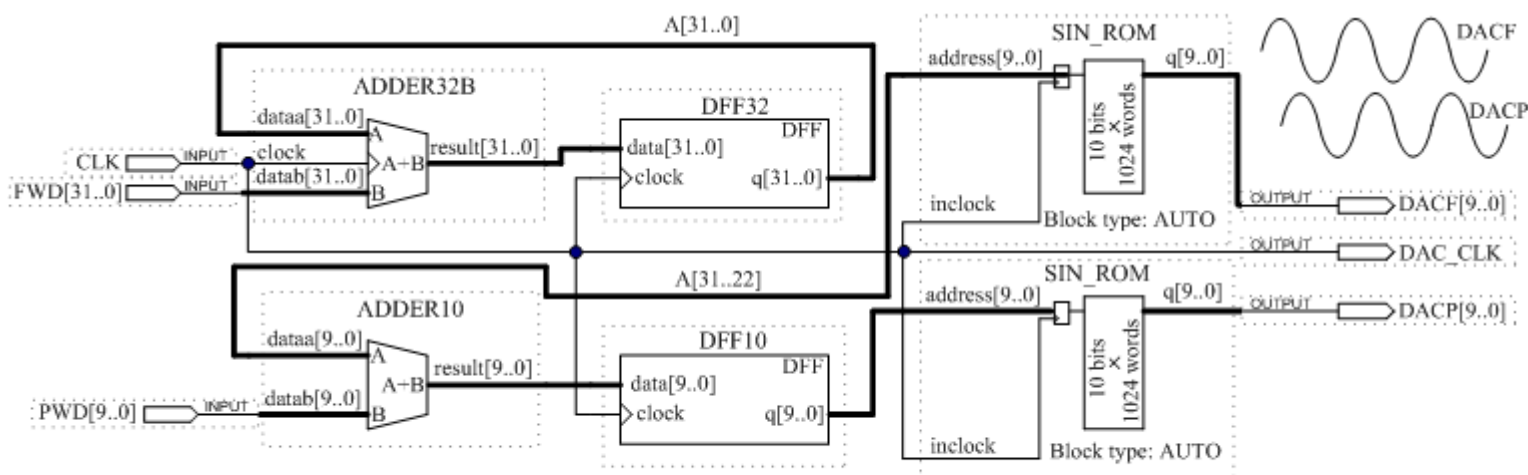


图 12-30 数字移相信号发生器电路模型图

2. 设计实践任务

七、简易数字电压表设计

1. 电路结构与原理

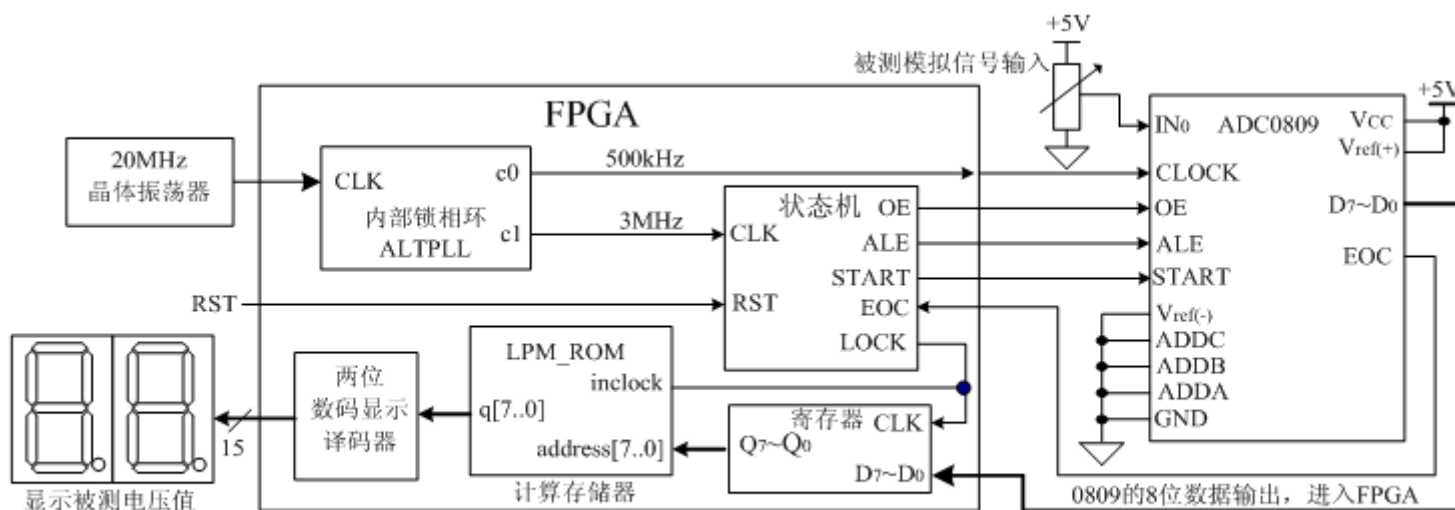


图 12-31 简易数字电压表电路模型图

2. 设计实践任务

八、简易数字存储示波器设计

1. 电路结构与工作原理

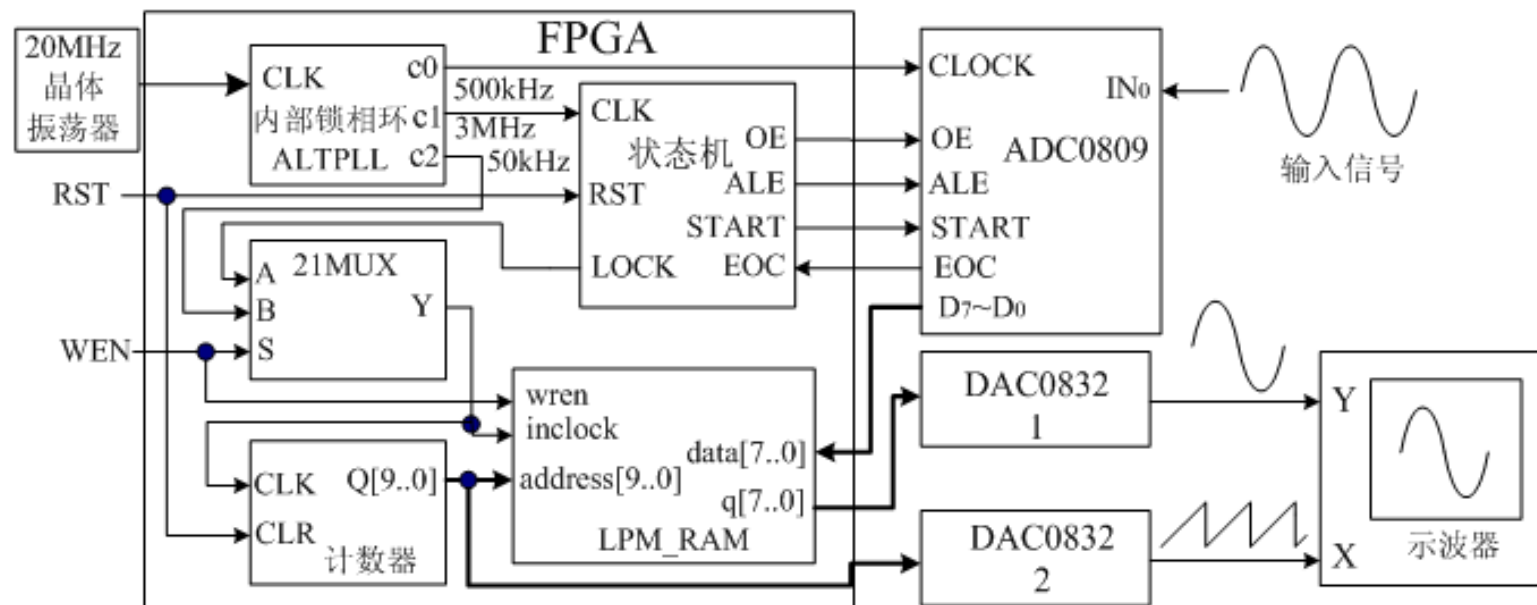


图 12-32 简易存储示波器结构框图

八、简易数字存储示波器设计

2. 时序分析

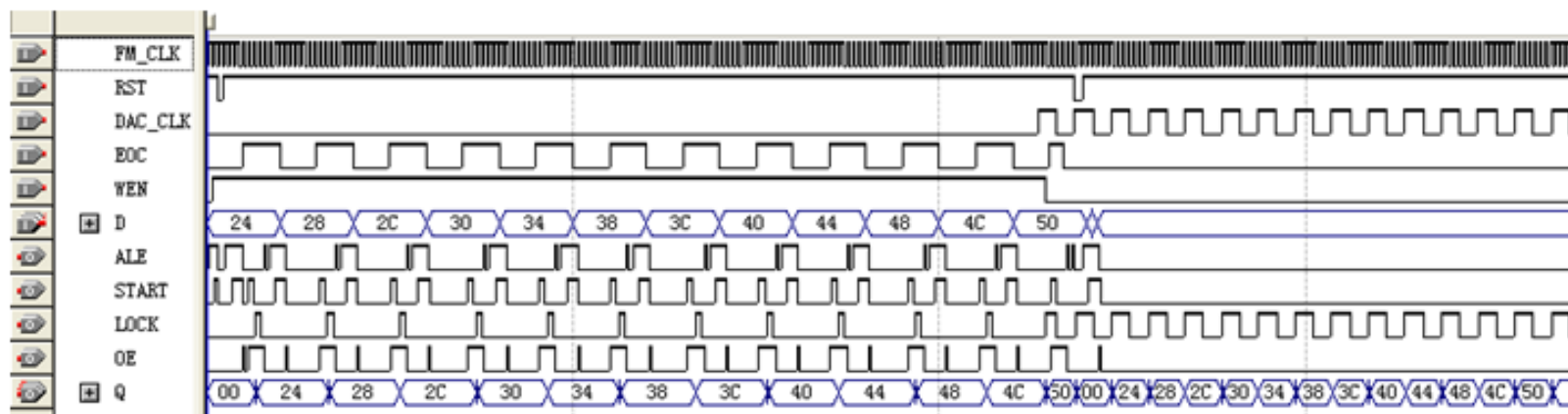


图 12-33 简易存储示波器仿真波形

八、简易数字存储示波器设计

3. 硬件测试

4. 设计实践任务

九、移位相加型8位硬件乘法器设计

1. 结构与原理

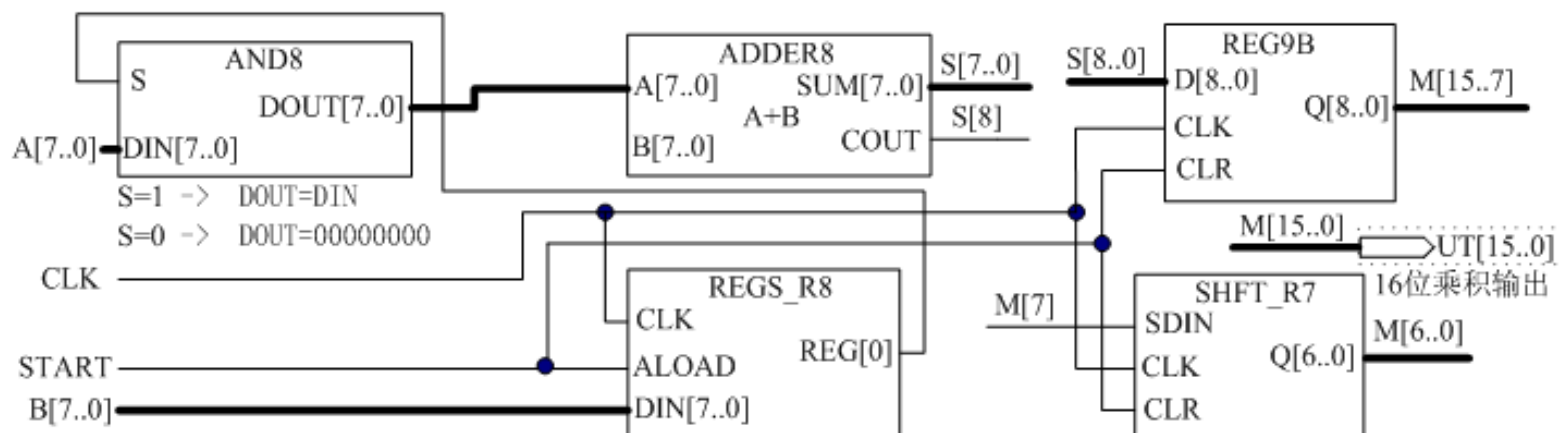


图 12-34 8 位乘法器逻辑原理与结构图

九、移位相加型8位硬件乘法器设计

1. 结构与原理

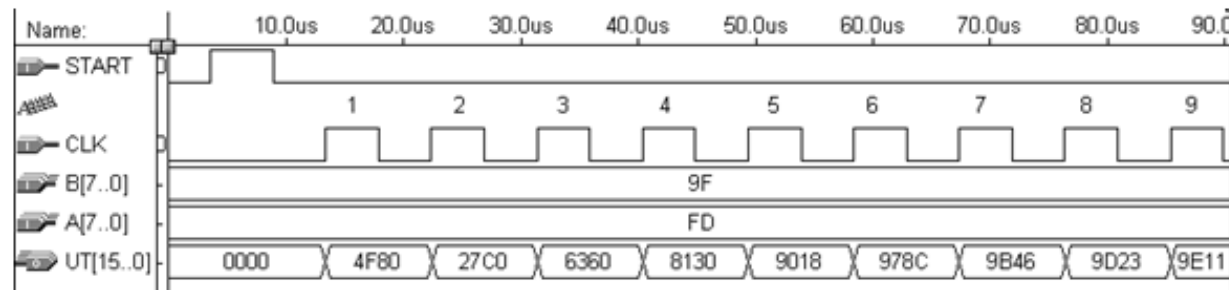


图 12-35 8 位移位相加乘法器运算逻辑波形图

模块AND8

模块ADDER8

模块REG9B

模块REGS_R8和SHFT_R7

2. 设计实践任务

十、基于状态机的实用数字系统设计

1. 电路结构与原理

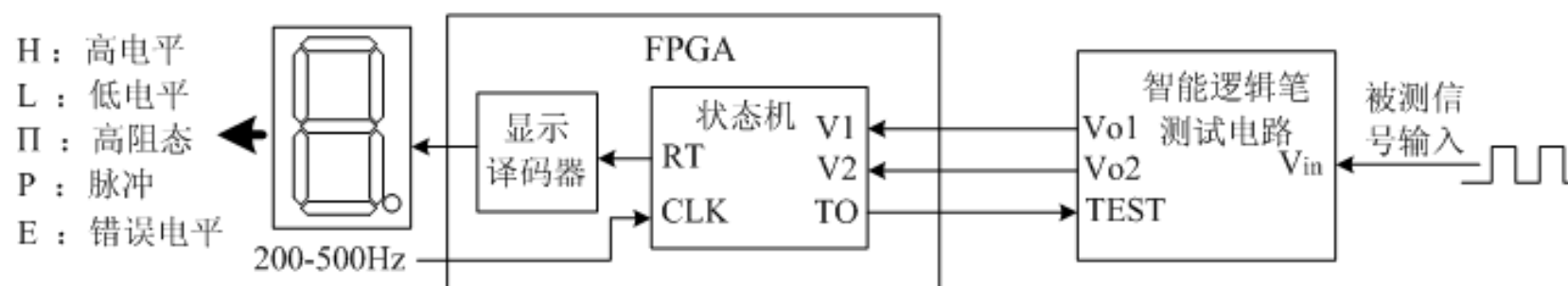


图 12-36 智能逻辑笔结构框图

