

第8章



时序电路的自动化设计与分析

8.1 用74系列宏模块设计数字电路

8.1.1 用74390宏模块设计一个两位十进制计数器

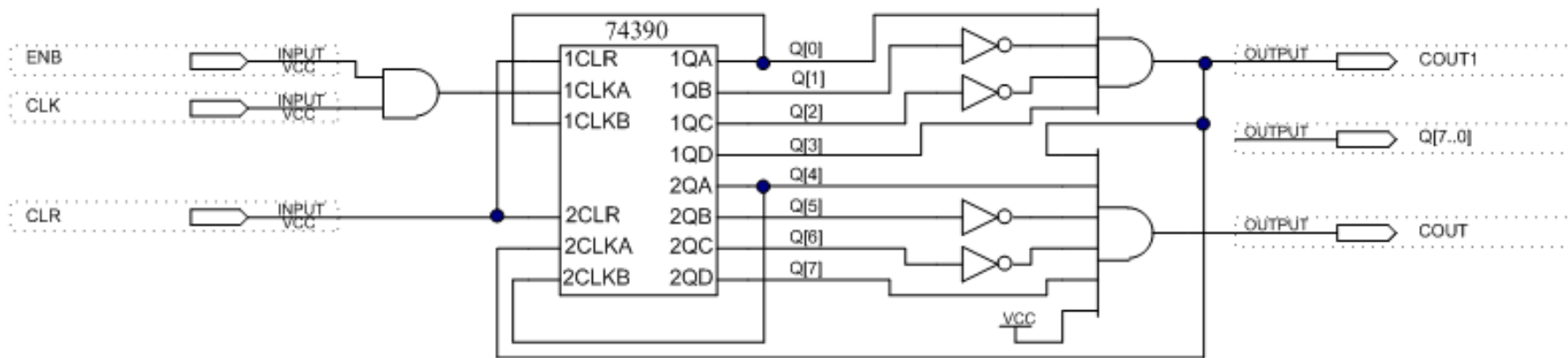


图 8-1 由 74390 构成的两位十进制计数器电路图，文件名 COUNTER10.bdf

8.1 用74系列宏模块设计数字电路

8.1.1 用74390宏模块设计一个两位十进制计数器

74390 (Counter)
Macrofunctions

Dual Decade Counter

Default Signal Levels: **GND**--1CLR, 1CLKB, 2CLR, 2CLKB
VCC--1CLKA, 2CLKA

AHDL Function Prototype (port name and order also apply to Verilog HDL):

```
FUNCTION 74390 (1clr, 1clka, 1clkb, 2clr, 2clka, 2clkb)
  RETURNS (1qd, 1qc, 1qb, 1qa, 2qd, 2qc, 2qb, 2qa);
```

Inputs			Outputs			
CLR	CLK		QD	QC	QB	QA
H	X		L	L	L	L
L	1			Count		

Possible Counting Configurations:

Decade: QA Connected to CLKB					Bi-Quinary: QD Connected to CLKA				
Count	QD	QC	QB	QA	Count	QA	QD	QC	QB
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	H	L	2	L	L	H	L
3	L	L	H	H	3	L	L	H	H
4	L	H	L	L	4	L	H	L	L
5	L	H	L	H	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

图 8-2 74390 的真值表

8.1 用74系列宏模块设计数字电路

8.1.1 用74390宏模块设计一个两位十进制计数器

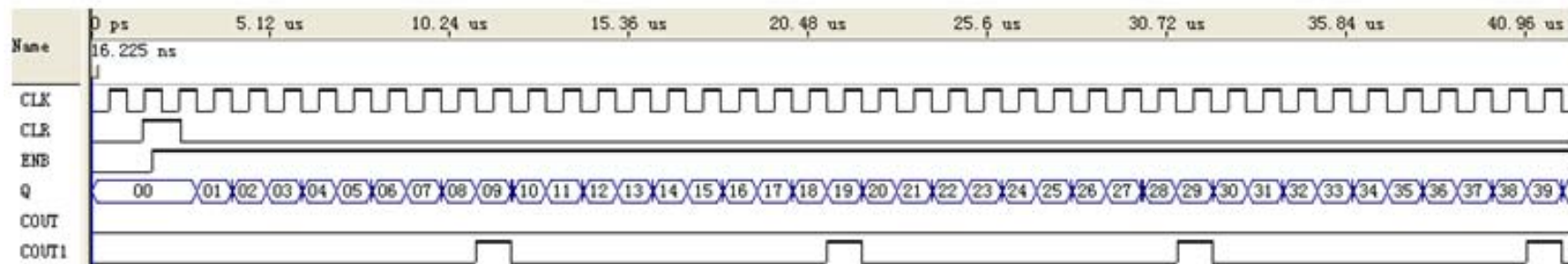


图 8-3 图 8-1 电路的仿真波形

8.1 用74系列宏模块设计数字电路

8.1.2 可预置型任意模计数器设计

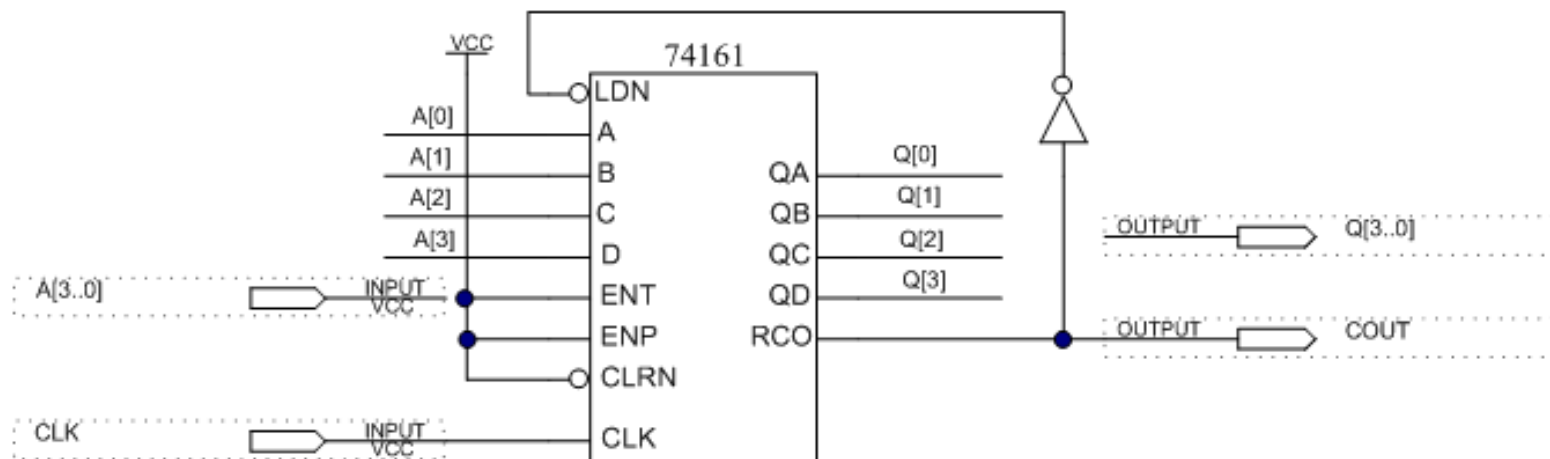


图 8-4 利用 74161 的数据预置口构成的模可控型计数器

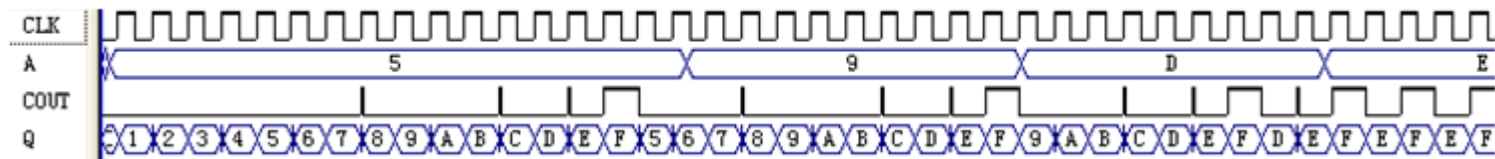


图 8-5 图 8-4 的时序仿真波形(基于 ACEX1K 系列 EP1K30TC144-3 的时序仿真)

8.1 用74系列宏模块设计数字电路

8.1.2 可预置型任意模计数器设计

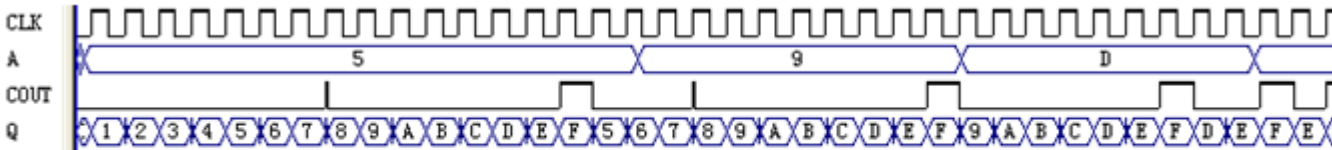


图 8-6 图 8-4 的时序仿真波形(基于 Cyclone 系列 EP1C3T144C8)

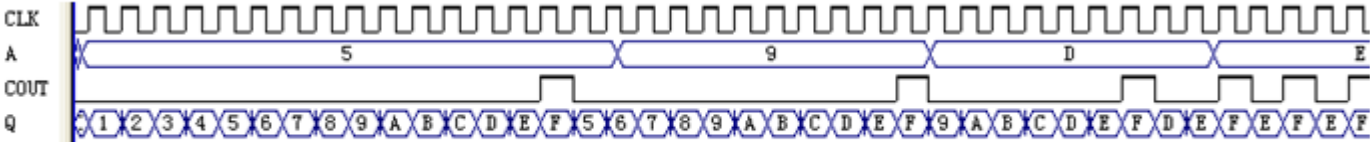


图 8-7 图 8-4 的时序仿真波形(基于 Cyclone III 系列 EP3C10E144C8)

8.1 用74系列宏模块设计数字电路

8.1.2 可预置型任意模计数器设计

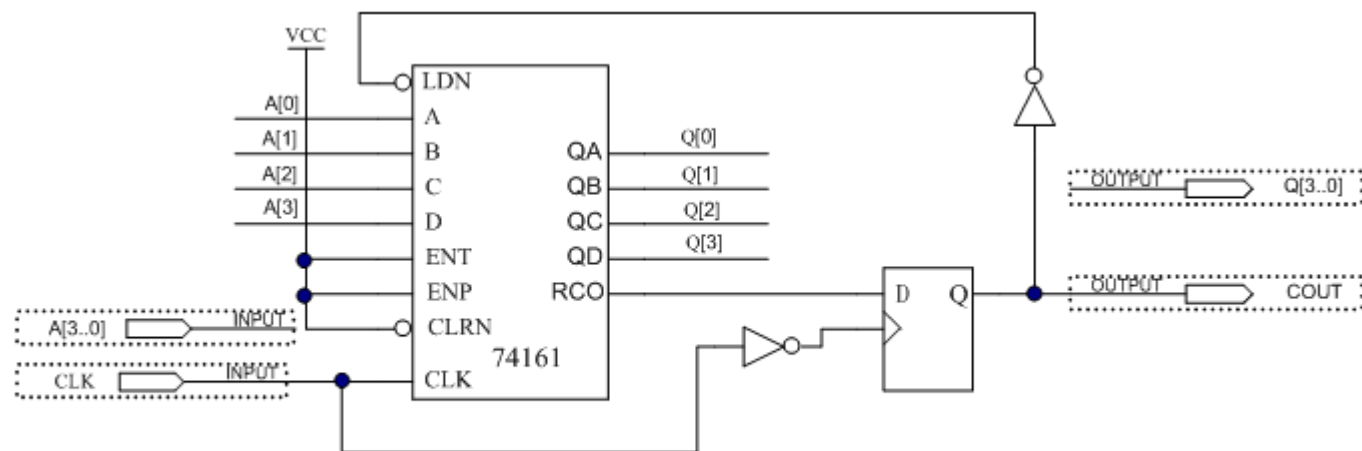


图 8-8 利用 74161 的数据预置口构成的模可控型计数器

8.2 计数器通用设计模型

8.2.1 时序逻辑设计方案考察

8.2.2 计数器的一般结构模型

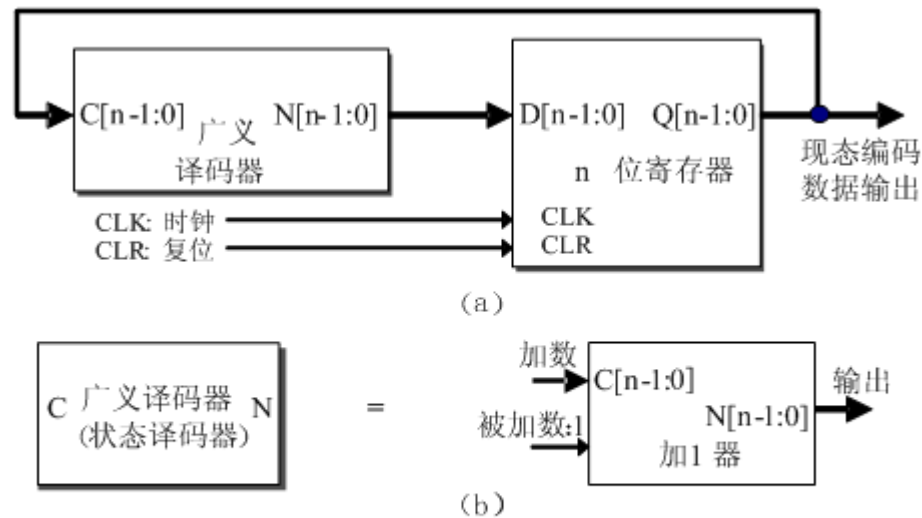


图 8-9 计数器的一般结构模型

8.2 计数器通用设计模型

8.2.3 普通二进制计数器设计讨论

表 8-1 加 1 器真值表

输入 C[3..0]				输出 N[3..0]			
C3	C2	C1	C0	N3	N2	N1	N0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	0	1	0	1	1	0	1
1	1	1	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

8.2 计数器通用设计模型

8.2.4 BCD码计数器设计讨论

表 8-2 模十计数器真值表

输入 C[3..0]				输出 N[3..0]			
C3	C2	C1	C0	N3	N2	N1	N0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0

表 8-3 改进后的真值表

输入 C[3..0]				输出 N[3..0]			
C3	C2	C1	C0	N3	N2	N1	N0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0

8.2 计数器通用设计模型

8.2.4 BCD码计数器设计讨论

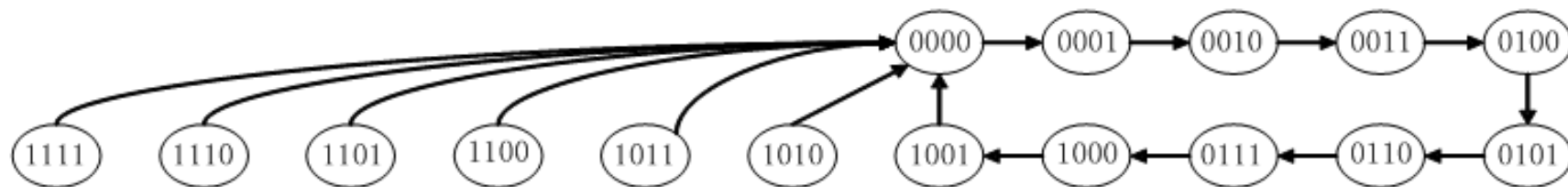


图 8-10 表 8-3 真值表对应的状态图

8.2 计数器通用设计模型

8.2.5 模可控计数器设计讨论

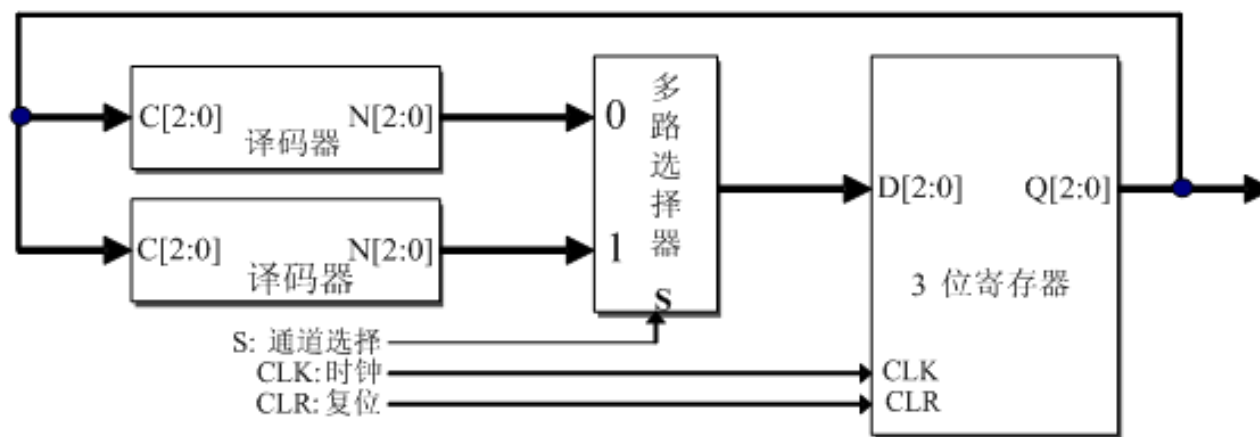


图 8-11 模可控同步加法计数器电路模型

8.2 计数器通用设计模型

8.2.5 模可控计数器设计讨论

表 8-4 模 5 计数器的译码器真值表

输入 C[2..0]			输出 N[2..0]		
C2	C1	C0	N2	N1	N0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0

表 8-5 模 7 计数器的译码器真值表

输入 C[2..0]			输出 N[2..0]		
C2	C1	C0	N3	N2	N1
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	0	0	0

8.2 计数器通用设计模型

8.2.6 反馈清零法构成模12计数器设计讨论

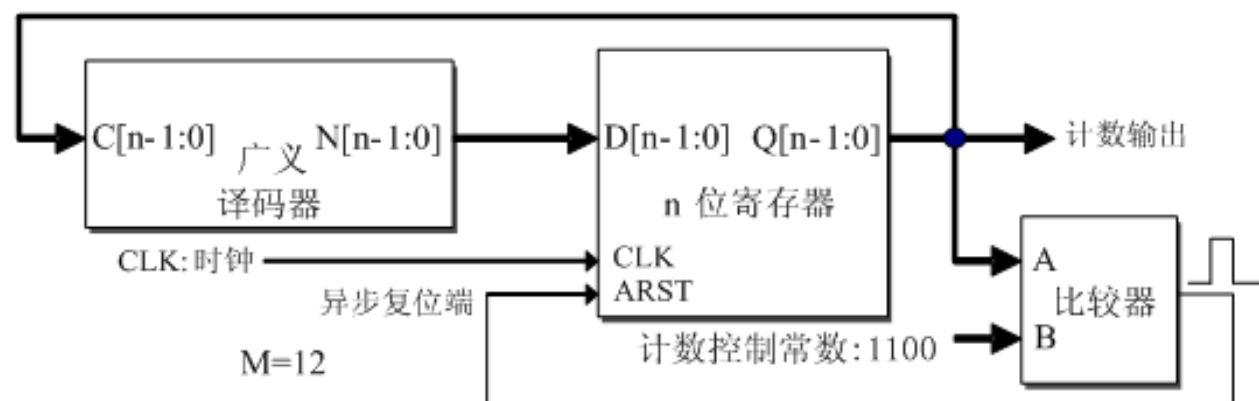


图 8-12 基于一般模型的反馈清零型模 12 加法计数器

8.2 计数器通用设计模型

8.2.7 同步加载型计数器设计讨论

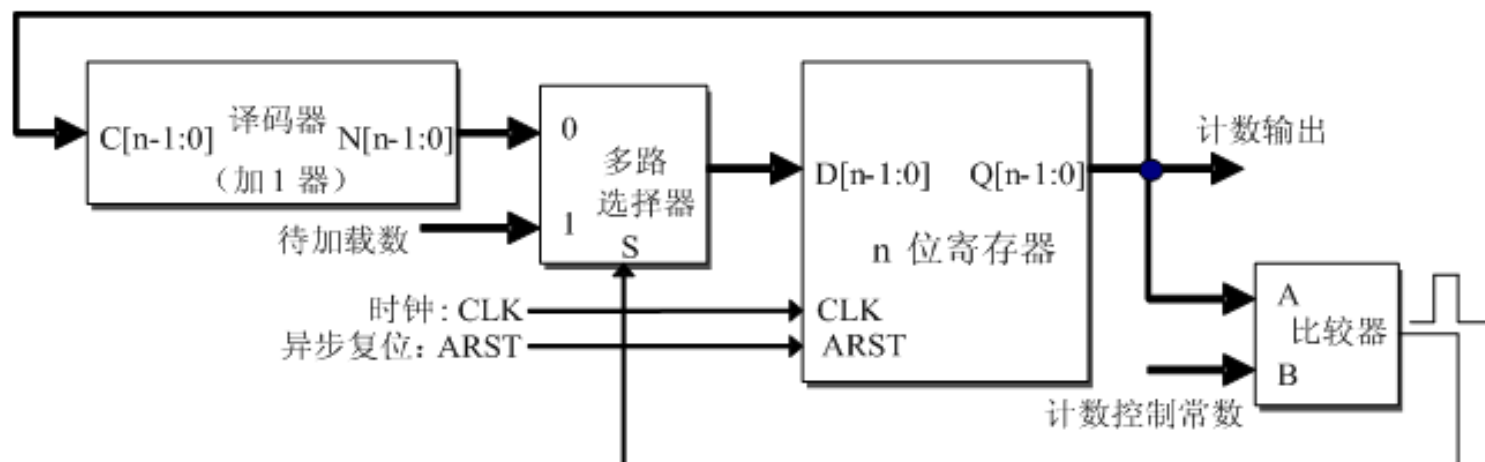


图 8-13 基于一般模型的同步加载型计数器结构模型

8.2 计数器通用设计模型

8.2.8 异步加载型计数器设计讨论

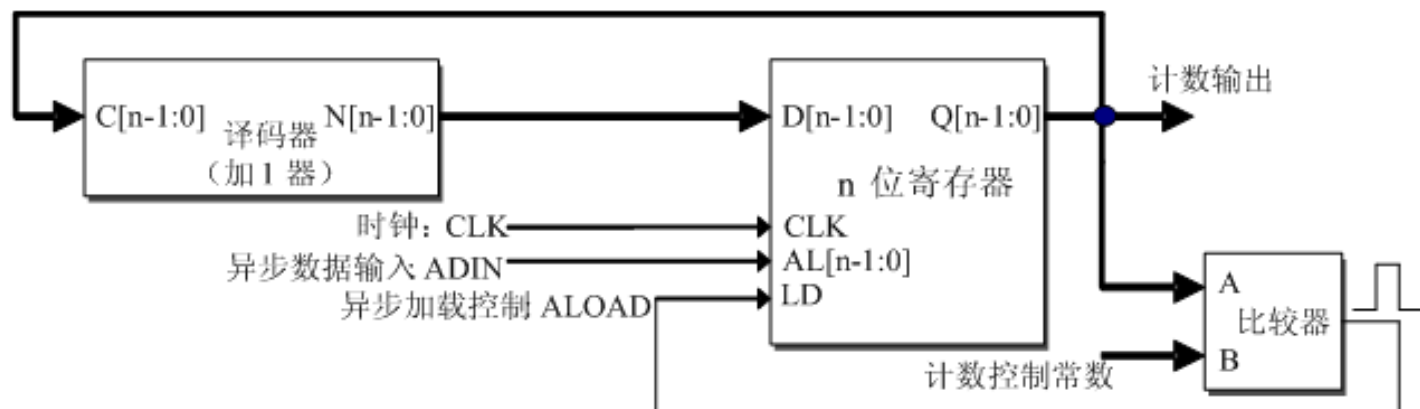


图 8-14 基于一般模型的异步加载型模 12 加法计数器结构模型

8.2 计数器通用设计模型

8.2.8 异步加载型计数器设计讨论

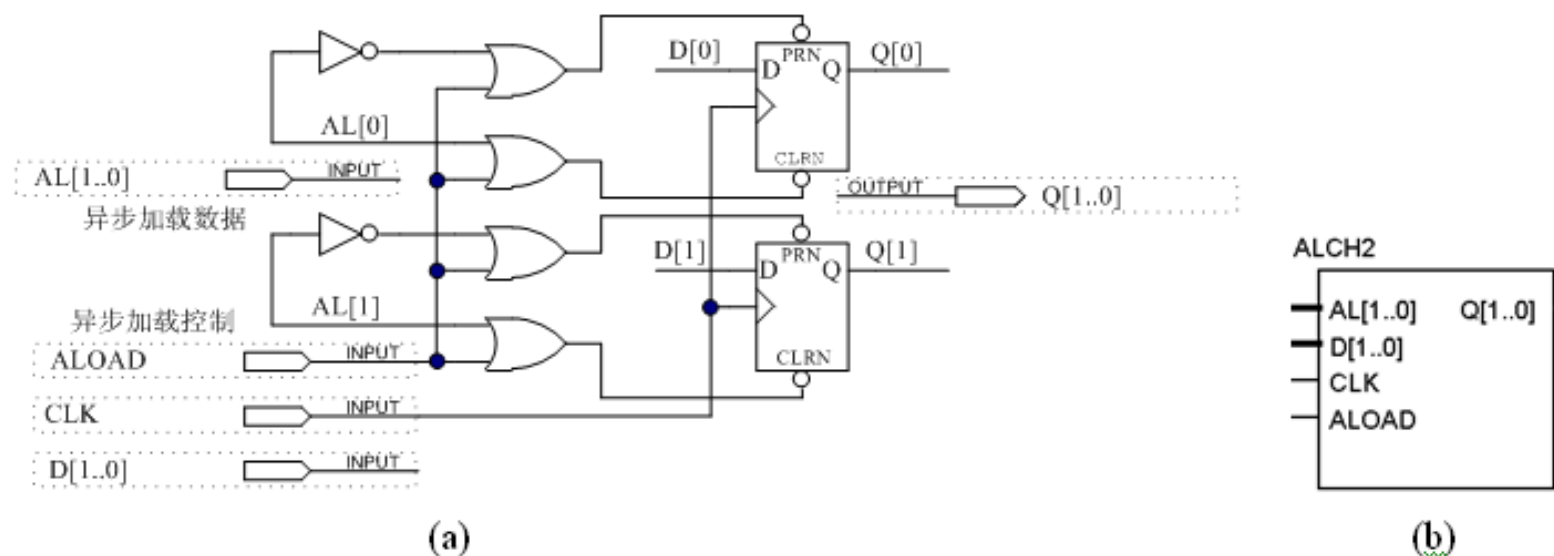


图 8-15 示意性两位异步可预置型寄存器电路结构及其元件符号

8.2.9 可逆计数器设计讨论

8.3 从计数器的一般模型到状态机

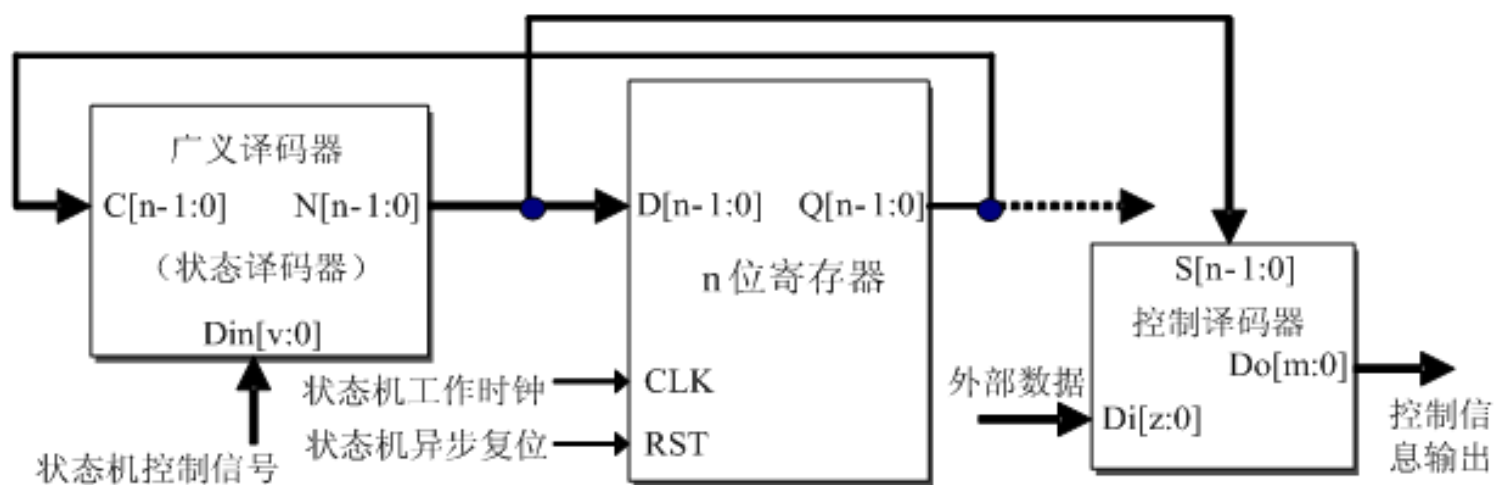


图 8-16 Mealy 型有限状态机一般模型

8.3 从计数器的一般模型到状态机

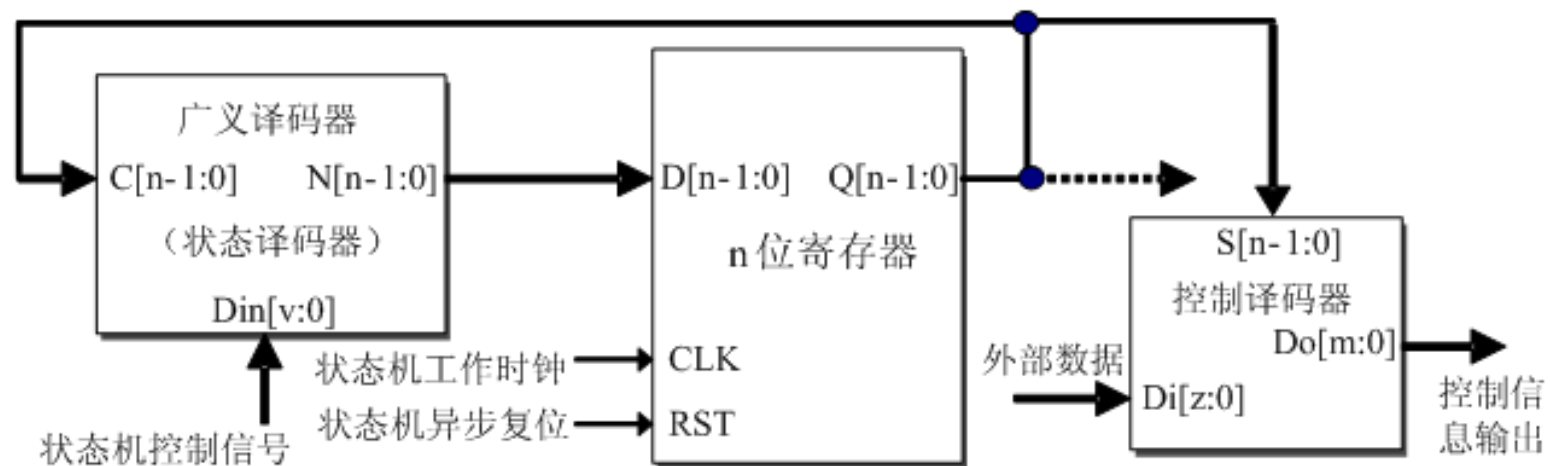


图 8-17 Moore 型有限状态机一般模型

8.4 基于一般模型结构的计数器设计

8.4.1 基于一般模型的十进制计数器设计

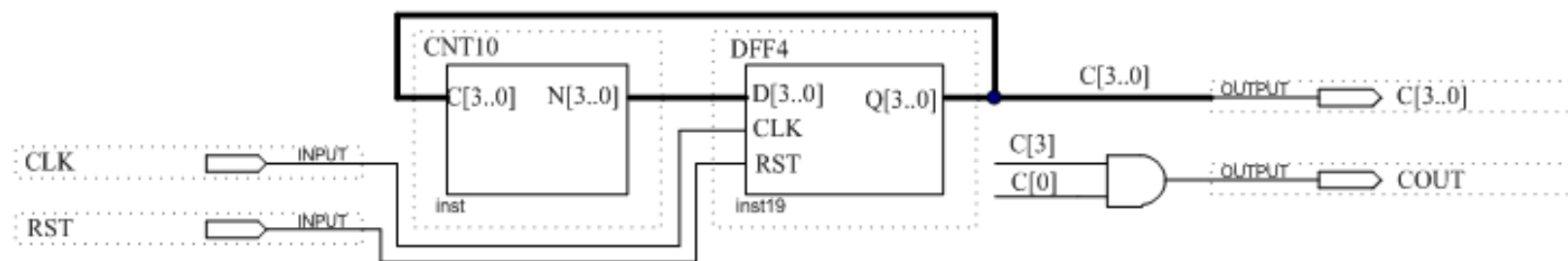


图 8-18 十进制计数器电路原理图

8.4 基于一般模型结构的计数器设计

8.4.1 基于一般模型的十进制计数器设计

```
1 module CNT10 ( C,N );
2     input [3:0] C ;
3     output [3:0] N ;
4     reg [3:0] N;
5     always @ (C,N)
6     = case( C )
7         4'b0000 : N<=4'b0001;
8         4'b0001 : N<=4'b0010;
9         4'b0010 : N<=4'b0011;
10        4'b0011 : N<=4'b0100;
11        4'b0100 : N<=4'b0101;
12        4'b0101 : N<=4'b0110;
13        4'b0110 : N<=4'b0111;
14        4'b0111 : N<=4'b1000;
15        4'b1000 : N<=4'b1001;
16        4'b1001 : N<=4'b0000;
17        default : N<=4'b0000;
18    endcase
19 endmodule
```

图 8-19 元件 CNT10 的程序

Family	Cyclone III
Device	EP3C10E144C8
Timing Models	Final
Met timing requirements	N/A
Total logic elements	5 / 10,320 (< 1 %)
Total combinational functions	5 / 10,320 (< 1 %)
Dedicated logic registers	4 / 10,320 (< 1 %)
Total registers	4
Total pins	7 / 95 (7 %)
Total virtual pins	0
Total memory bits	0 / 423,936 (0 %)

图 8-20 计数器资源使用报告

8.4 基于一般模型结构的计数器设计

8.4.1 基于一般模型的十进制计数器设计

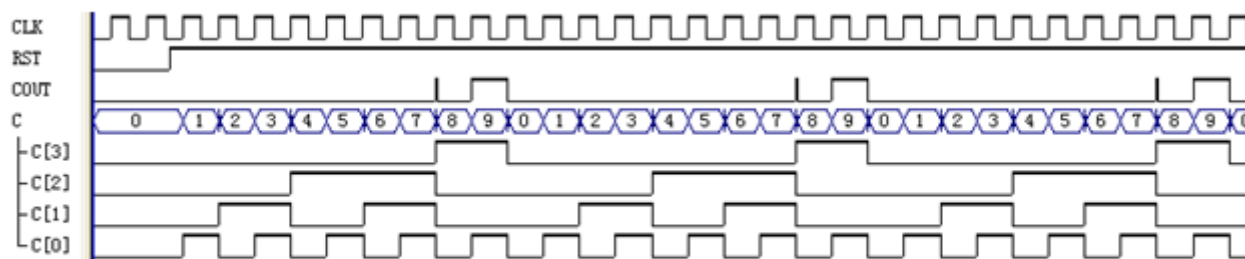


图 8-21 图 8-18 电路的时序仿真波形

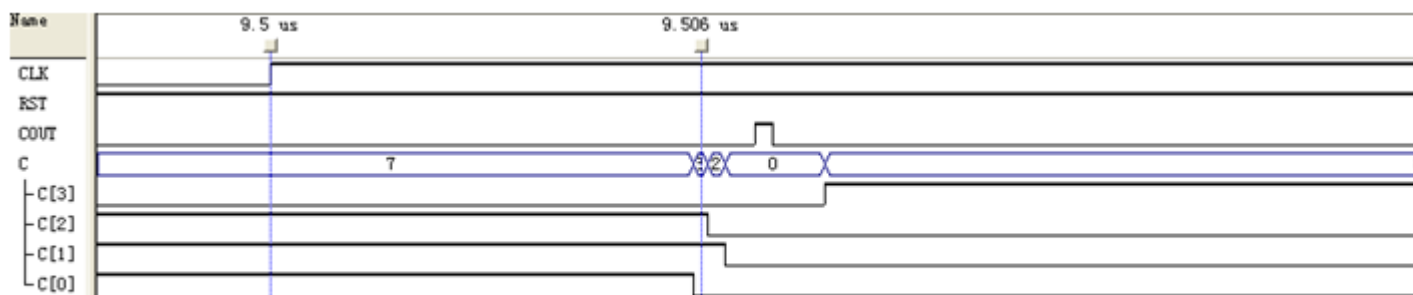


图 8-22 观察电路信号的延时情况

8.4 基于一般模型结构的计数器设计

8.4.2 含自启动电路的十进制计数器的设计

```
case( C )
4'b0000 : N<=4'b0001 ;
4'b0001 : N<=4'b0010 ;
4'b0010 : N<=4'b0011 ;
4'b0011 : N<=4'b0100 ;
4'b0100 : N<=4'b0101 ;
4'b0101 : N<=4'b0110 ;
4'b0110 : N<=4'b0111 ;
4'b0111 : N<=4'b1000 ;
4'b1000 : N<=4'b1001 ;
4'b1001 : N<=4'b0000 ;

4'b1010 : N<=4'b0000 ;
4'b1011 : N<=4'b1010 ;
4'b1100 : N<=4'b1011 ;
4'b1101 : N<=4'b1100 ;
4'b1110 : N<=4'b1101 ;
4'b1111 : N<=4'b1110 ;
```

图 8-23 可自启动的“真值表”

8.4 基于一般模型结构的计数器设计

8.4.3 异步控制型任意模计数器设计

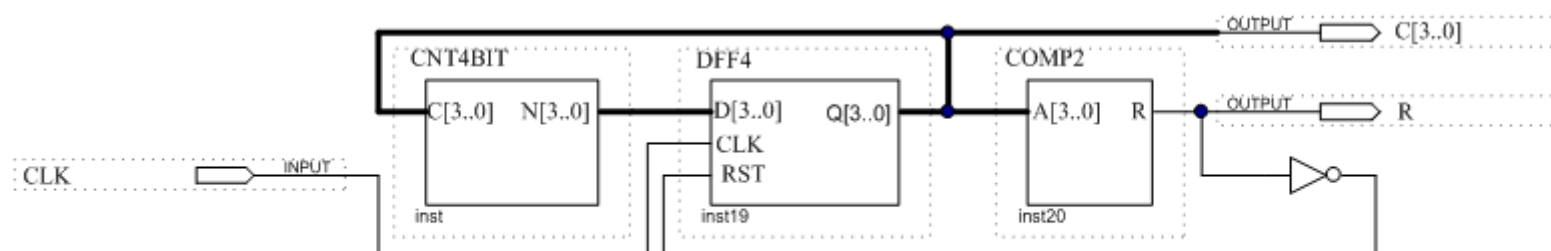


图 8-24 另一种形式的计数器电路结构

8.4 基于一般模型结构的计数器设计

8.4.3 异步控制型任意模计数器设计

```
case( C )
  4'b0000 : N<=4'b0001 ;
  4'b0001 : N<=4'b0010 ;
  4'b0010 : N<=4'b0011 ;
  4'b0011 : N<=4'b0100 ;
  4'b0100 : N<=4'b0101 ;
  4'b0101 : N<=4'b0110 ;
  4'b0110 : N<=4'b0111 ;
  4'b0111 : N<=4'b1000 ;
  4'b1000 : N<=4'b1001 ;
  4'b1001 : N<=4'b1010 ;
  4'b1010 : N<=4'b1011 ;
  4'b1011 : N<=4'b1100 ;
  4'b1100 : N<=4'b1101 ;
  4'b1101 : N<=4'b1110 ;
  4'b1110 : N<=4'b1111 ;
  4'b1111 : N<=4'b0000 ;
  default : N<=4'b0000 ;
```

图 8-25 CNT4BIT 的 case 语句部分

```
module COMP2 (A,R);
  input [3:0] A ;
  output R; reg R;
  always @ (A,R)
  case( A )
    4'b1100 : R<=1'b1;
    default : R<=1'b0;
  endcase
endmodule
```

图 8-26 COMP2 的程序

8.4 基于一般模型结构的计数器设计

8.4.3 异步控制型任意模计数器设计

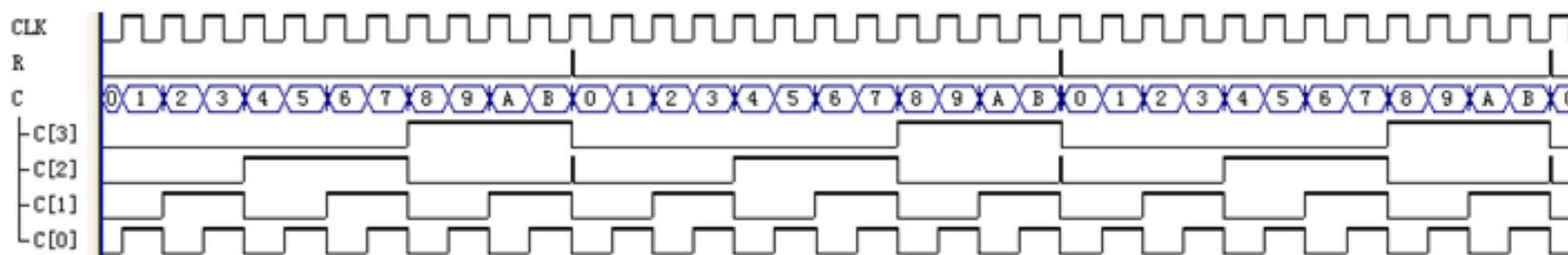


图 8-27 图 8-24 电路的时序仿真波形

8.4 基于一般模型结构的计数器设计

8.4.4 初值可预置型计数器设计

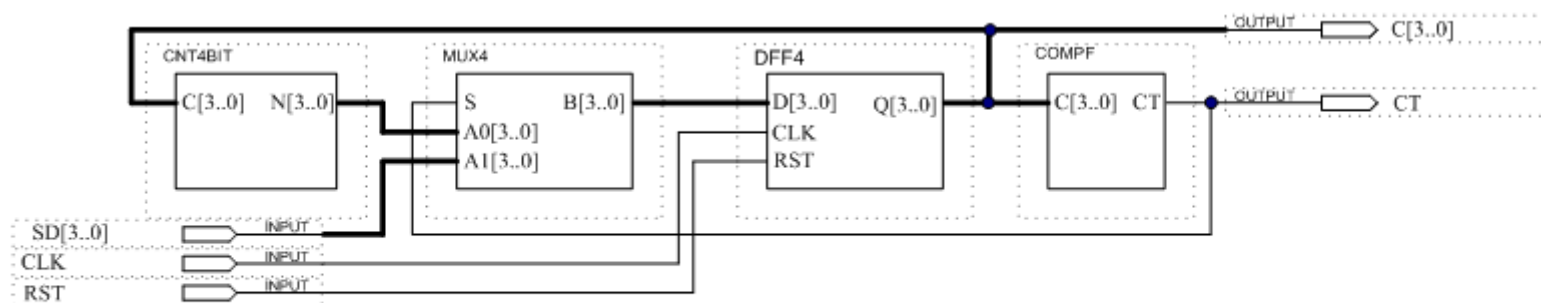


图 8-28 四位同步可预置式 N 进制计数器

8.4 基于一般模型结构的计数器设计

8.4.4 初值可预置型计数器设计

```
module MUX4 ( S, A0, A1, B );  
  input S ; input [3:0] A0,A1;  
  output [3:0] B ;  
  reg [3:0] B;  
  always @ (S,A0,A1,B)  
  case( S )  
    1'b1 : B<=A1 ;  
    1'b0 : B<=A0 ;  
  default : B<=4'b0000 ;  
  endcase  
endmodule
```

图 8-29 元件 MUX4 的描述

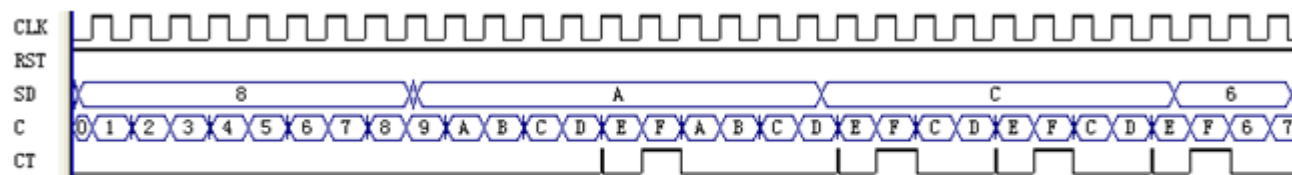


图 8-30 图 8-28 电路的时序仿真波形（目标器件是 Cyclone 系列 EP1C3T144C8）

8.5 基于LPM宏模块的计数器设计



图 8-31 定制新的宏功能块

8.5 基于LPM宏模块的计数器设计

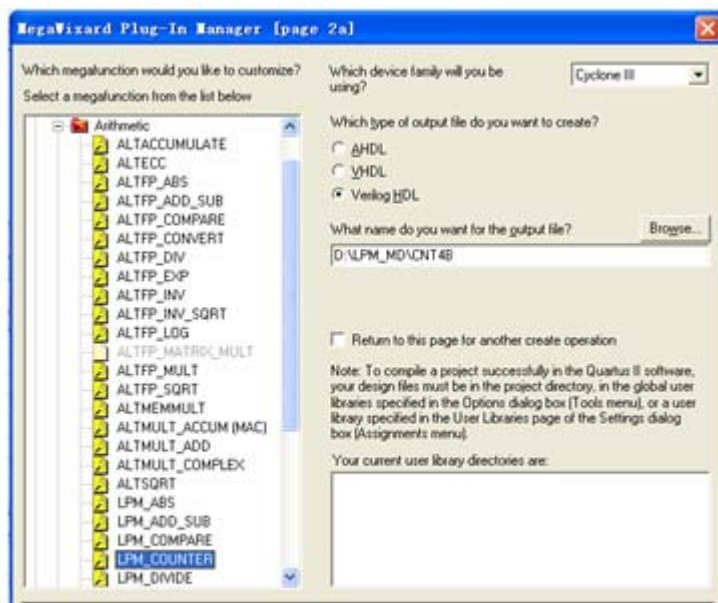


图 8-32 LPM 宏功能块设定

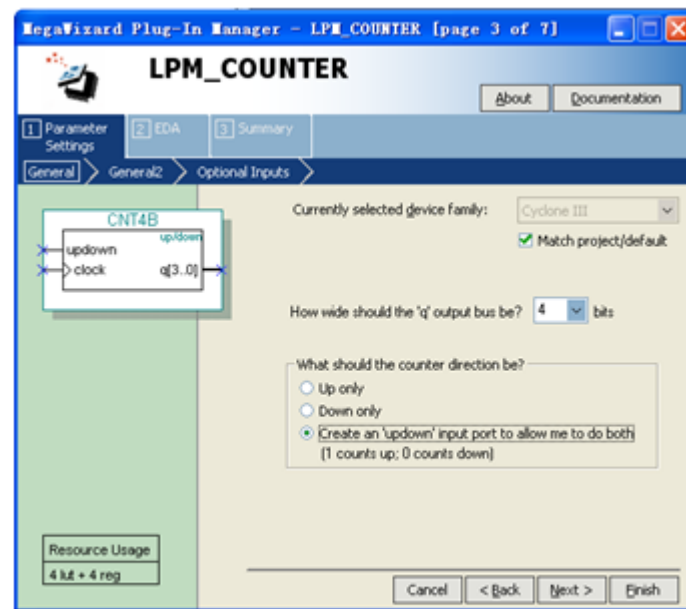


图 8-33 设 4 位可加减计数器

8.5 基于LPM宏模块的计数器设计

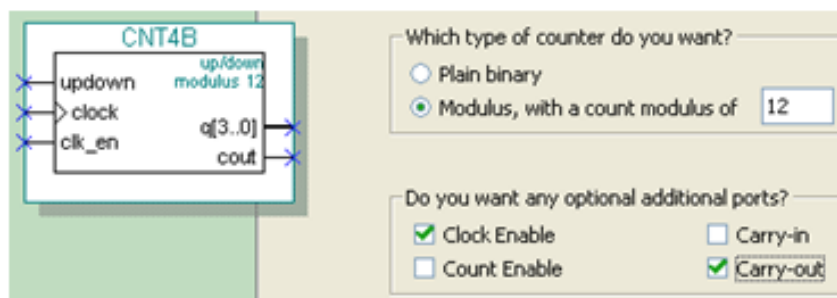


图 8-34 设定计数器，含时钟使能和进位输出

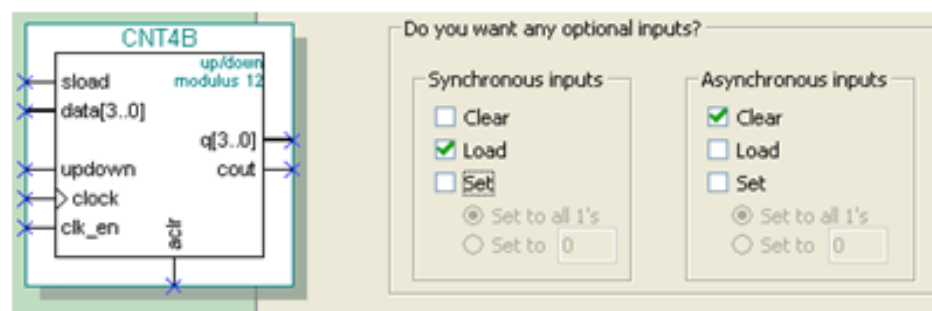


图 8-35 加入 4 位并行数据预置功能

8.5 基于LPM宏模块的计数器设计

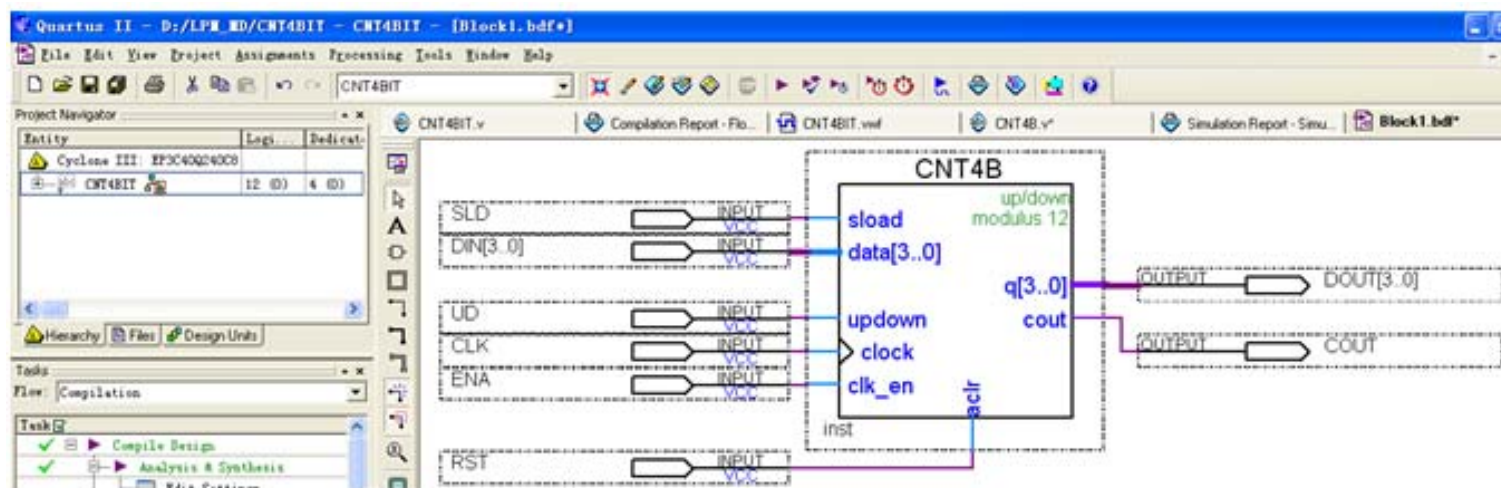


图 8-36 CNT4BIT 工程的 4 位计数器电路原理图

8.5 基于LPM宏模块的计数器设计

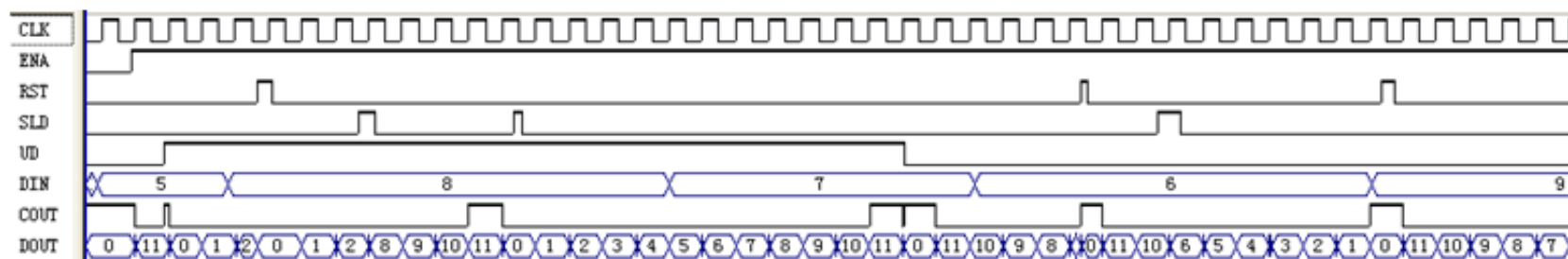


图 8-37 仿真波形

8.6 有限状态机的设计与应用

8.6.1 计数器与状态机的对应关系

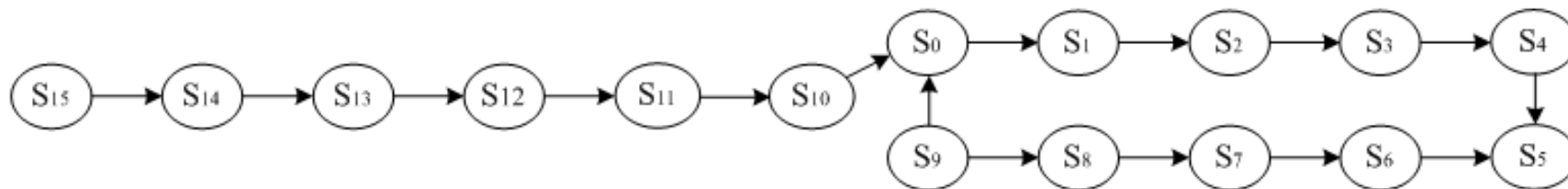


图 8-38 图 8-19 和图 8-23 对应的状态转换图

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

1. 步进电机原理简介

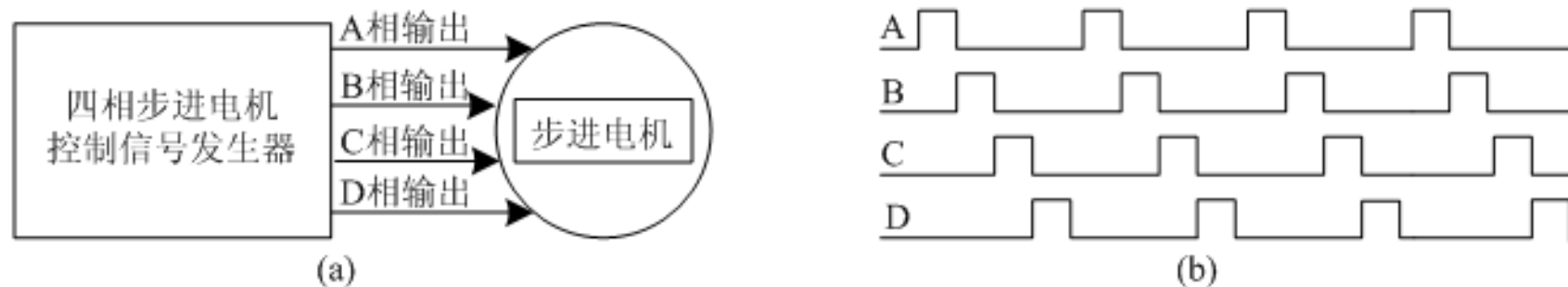


图 8-39 步进电机控制模型和控制时序

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

2. 步进电机单向旋转控制电路设计

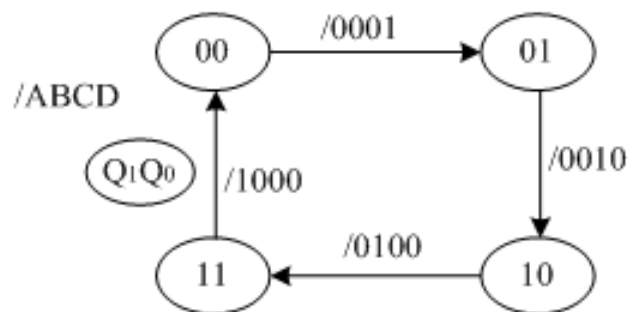


图 8-40 状态转换图

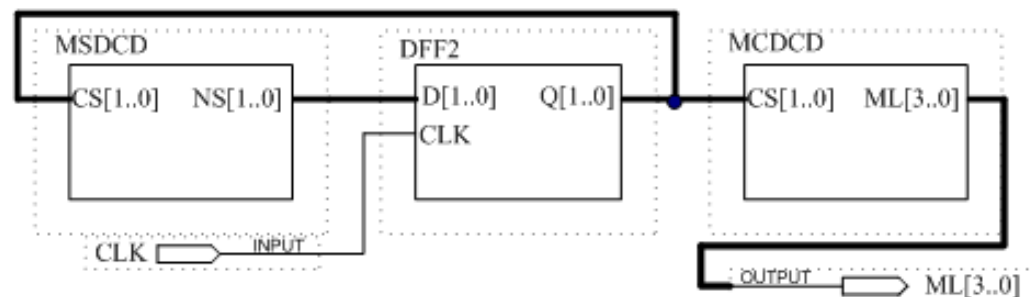


图 8-41 步进电机单转向控制电路

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

2. 步进电机单向旋转控制电路设计

```
1 module MSDCD (CS,NS);
2   input [1:0] CS ;
3   output [1:0] NS ; reg [1:0] NS ;
4   always @(CS)
5     case ( CS )
6       2'B00 : NS<=2'B01;
7       2'B01 : NS<=2'B10;
8       2'B10 : NS<=2'B11;
9       2'B11 : NS<=2'B00;
10      default : NS<=2'B00;
11    endcase
12  endmodule
```

图 8-42 模块 MSDCD 的程序

```
1 module MCD CD (CS,ML);
2   input [1:0] CS;
3   output [3:0] ML ; reg [3:0] ML ;
4   always @(CS)
5     case ( CS )
6       2'B00 : ML<=4'B0001;
7       2'B01 : ML<=4'B0010;
8       2'B10 : ML<=4'B0100;
9       2'B11 : ML<=4'B1000;
10      default : ML<=4'B0001;
11    endcase
12  endmodule
```

图 8-43 模块 MCD CD 的程序

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

2. 步进电机单向旋转控制电路设计

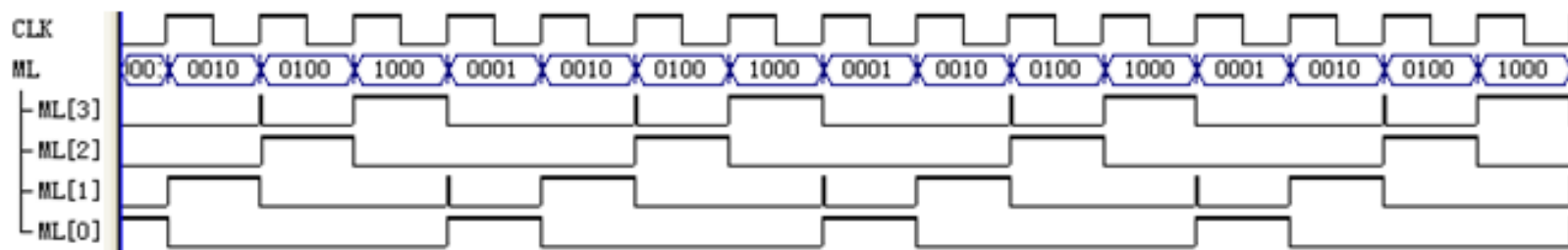


图 8-44 图 8-41 电路时序仿真波形

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

2. 步进电机单向旋转控制电路设计

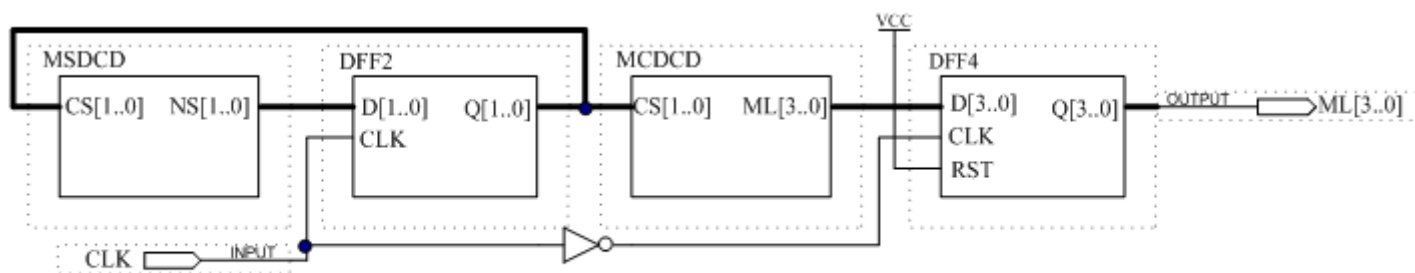


图 8-45 输出信号被 CLK 下降沿锁存的控制电路

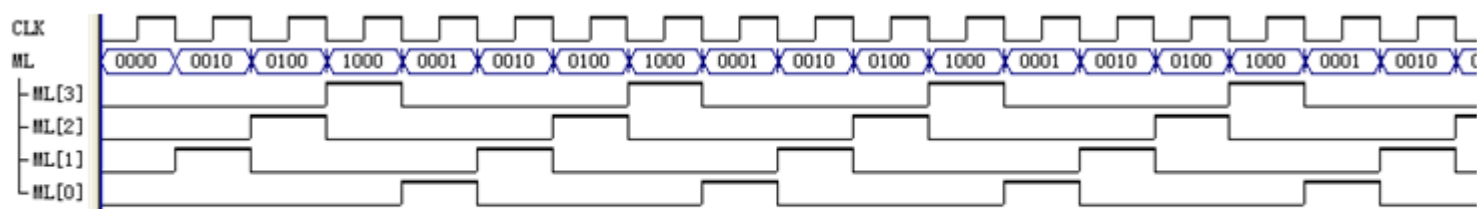


图 8-46 状态机输出被锁存后的时序仿真波形

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

3. 步进电机双向旋转控制电路设计

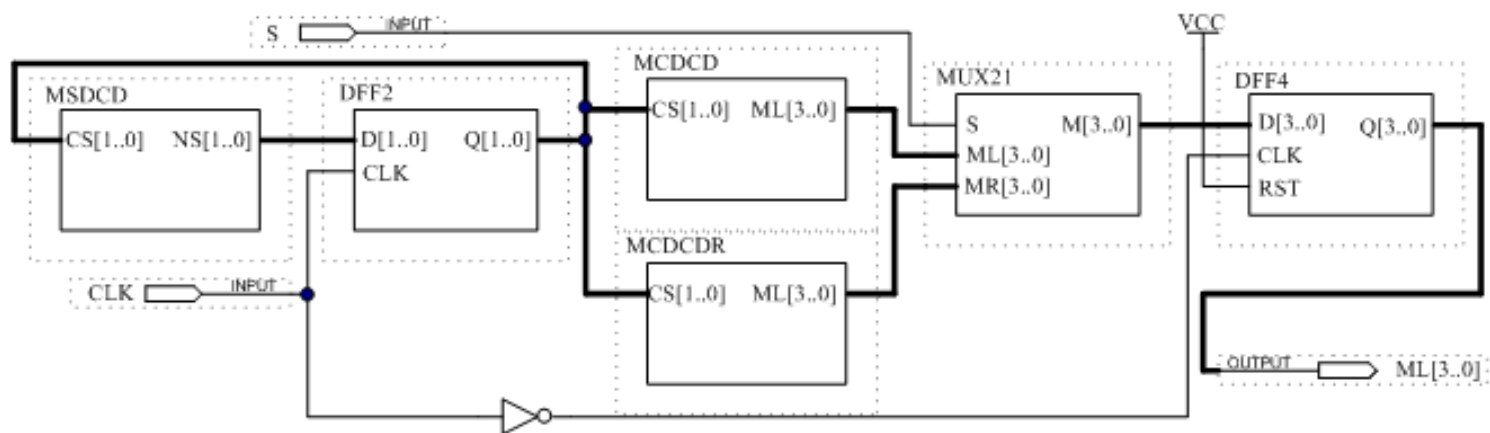


图 8-47 步进电机双向转动控制电路

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

3. 步进电机双向旋转控制电路设计

```
1 module MCDCDR (CS,ML);
2   input [1:0] CS;
3   output [3:0] ML ; reg [3:0] ML ;
4   always @(CS)
5   = case ( CS )
6       2'B00 : ML<=4'B1000;
7       2'B01 : ML<=4'B0100;
8       2'B10 : ML<=4'B0010;
9       2'B11 : ML<=4'B0001;
10      default : ML<=4'B1000;
11   endcase
12 endmodule
```

图 8-48 模块 MCDCDR 的程序

```
1 module MUX21 (S,ML,MR,M);
2   input S; input [3:0] ML,MR;
3   output [3:0] M; reg [3:0] M;
4   always @(S)
5   = case ( S )
6       1'B0 : M<=ML;
7       1'B1 : M<=MR;
8       default : M<=ML;
9   endcase
10 endmodule
```

图 8-49 模块 MUX21 的程序

8.6 有限状态机的设计与应用

8.6.2 步进电机控制电路设计

3. 步进电机双向旋转控制电路设计

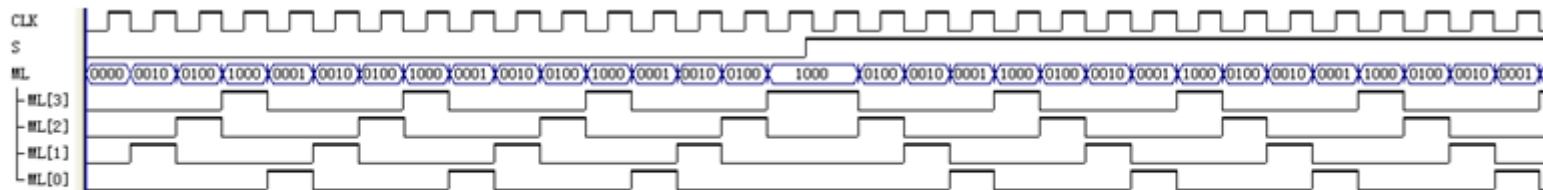


图 8-50 电路图 8-47 的时序仿真波形

8.6 有限状态机的设计与应用

8.6.3 键触点消抖动电路设计

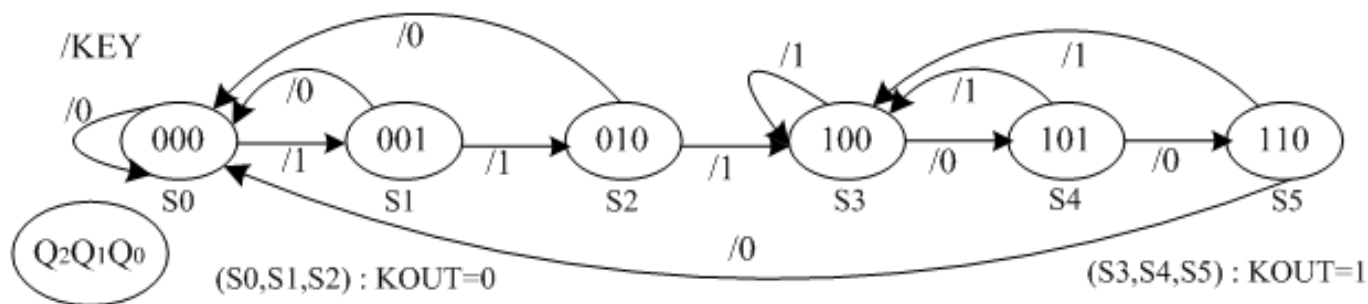


图 8-51 键触点消抖动电路状态机的状态转换图

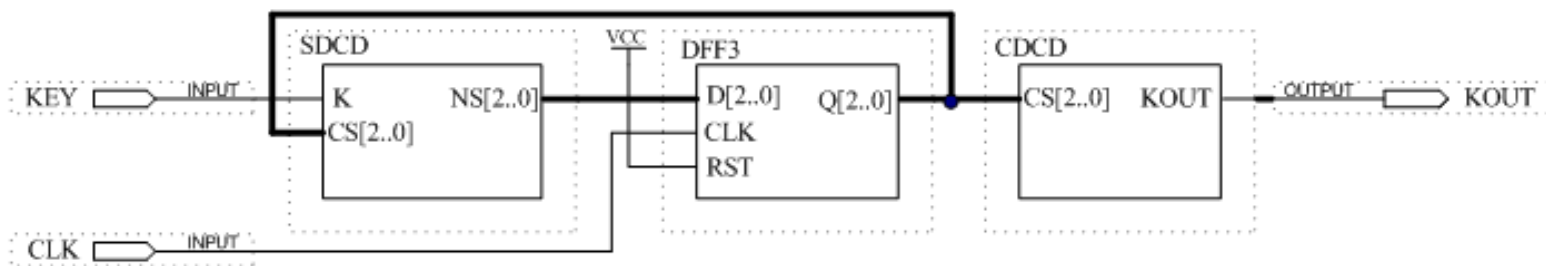


图 8-52 键触点消抖动电路原理图

8.6 有限状态机的设计与应用

8.6.3 键触点消抖动电路设计

```
1 module SDCD (K,CS,NS);
2   input K ; input [2:0] CS ;
3   output [2:0] NS ;
4   reg [2:0] NS ;
5   always @(K,CS)
6   = case ( CS )
7     3'B000 : if (K==1'b1) NS<=3'B001; else NS<=3'B000;
8     3'B001 : if (K==1'b1) NS<=3'B010; else NS<=3'B000;
9     3'B010 : if (K==1'b1) NS<=3'B011; else NS<=3'B000;
10    3'B011 : if (K==1'b0) NS<=3'B100; else NS<=3'B011;
11    3'B100 : if (K==1'b0) NS<=3'B101; else NS<=3'B011;
12    3'B101 : if (K==1'b0) NS<=3'B000; else NS<=3'B011;
13    default : NS<=3'B000;
14  endcase
15 endmodule
```

图 8-53 模块 SDCD 的程序

```
1 module CDCD (CS,KOUT);
2   input [2:0] CS;
3   output KOUT; reg KOUT ;
4   always @(CS)
5   = case ( CS )
6     3'B000 : KOUT <=1'B0;
7     3'B001 : KOUT <=1'B0;
8     3'B010 : KOUT <=1'B0;
9     default : KOUT <=1'B1;
10  endcase
11 endmodule
```

图 8-54 模块 CDCD 的程序

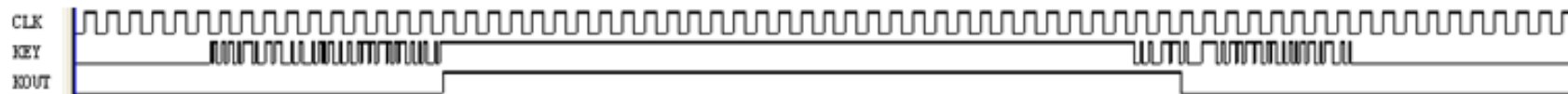


图 8-55 图 8-52 电路的仿真波形图

8.6 有限状态机的设计与应用

8.6.4 简易温控系统设计

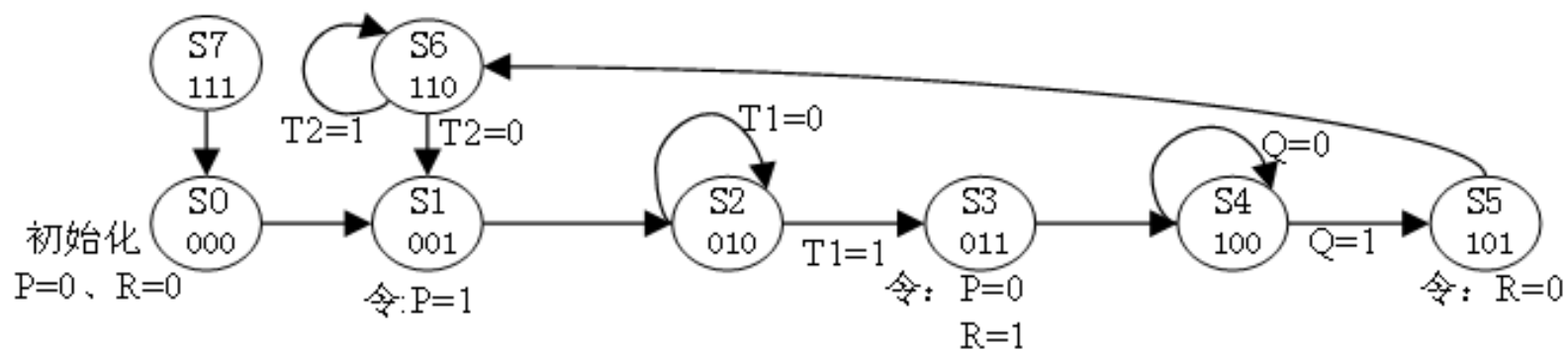


图 8-56 简易温控系统状态图

8.6 有限状态机的设计与应用

8.6.4 简易温控系统设计

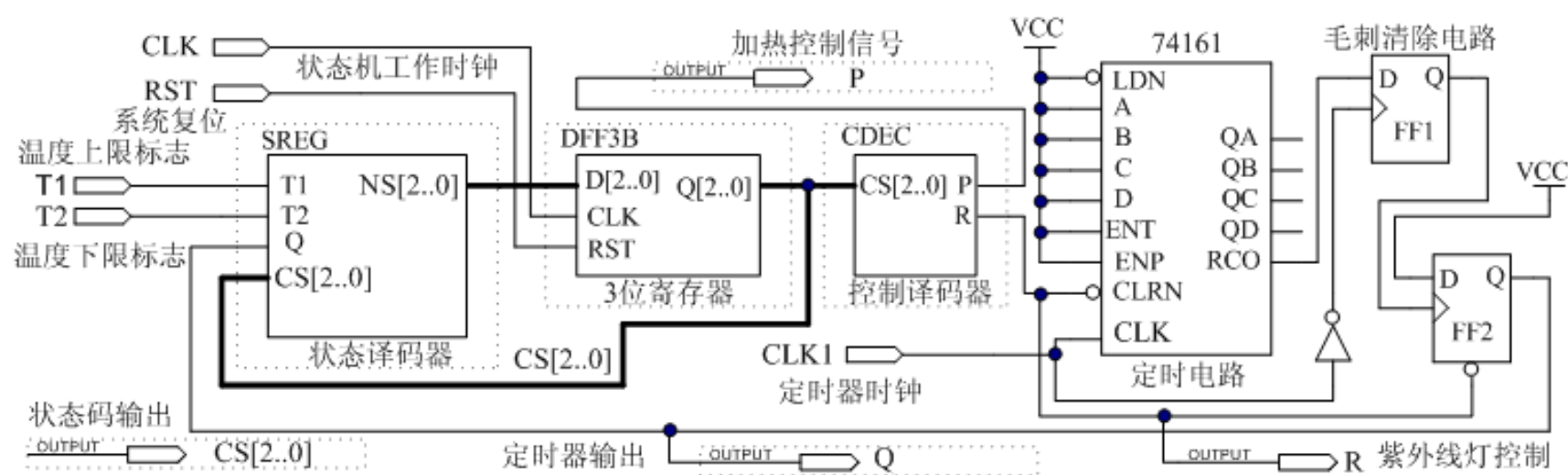


图 8-57 简易温控系统电路图

8.6 有限状态机的设计与应用

8.6.4 简易温控系统设计

```
1 module SREG (T1,T2,Q,CS,NS);
2   input T1,T2,Q ; input [2:0] CS ;
3   output [2:0] NS ;
4   reg [2:0] NS ;
5   always @(T1,T2,Q,CS)
6   case ( CS )
7     3'B000 : NS<=3'B001;
8     3'B001 : NS<=3'B010;
9     3'B010 : if (T1==1'b1) NS<=3'B011; else NS<=3'B010;
10    3'B011 : NS<= 3'B100;
11    3'B100 : if (Q==1'b1) NS<=3'B101; else NS<= 3'B100;
12    3'B101 : NS<=3'B110 ;
13    3'B110 : if (T2==1'b1) NS<=3'B110; else NS<=3'B001;
14    3'B111 : NS<=3'B000;
15    default : NS<=3'B000;
16  endcase
17 endmodule
```

图 8-58 状态译码器 SREG 的 case 语句表述

```
1 module CDEC (CS,P,R);
2   input [2:0] CS;
3   output P,R; reg P,R ;
4   always @(CS)
5   case ( CS )
6     3'B000 : {P,R}<=2'B00;
7     3'B001 : {P,R}<=2'B10;
8     3'B010 : {P,R}<=2'B10;
9     3'B011 : {P,R}<=2'B01;
10    3'B100 : {P,R}<=2'B01;
11    3'B101 : {P,R}<=2'B00;
12    3'B110 : {P,R}<=2'B00;
13    3'B111 : {P,R}<=2'B00;
14    default : {P,R}<=2'B00;
15  endcase
16  assign SOUT = CS ;
17 endmodule
```

图 8-59 CDEC 模块的 case 语句表述

8.6 有限状态机的设计与应用

8.6.4 简易温控系统设计

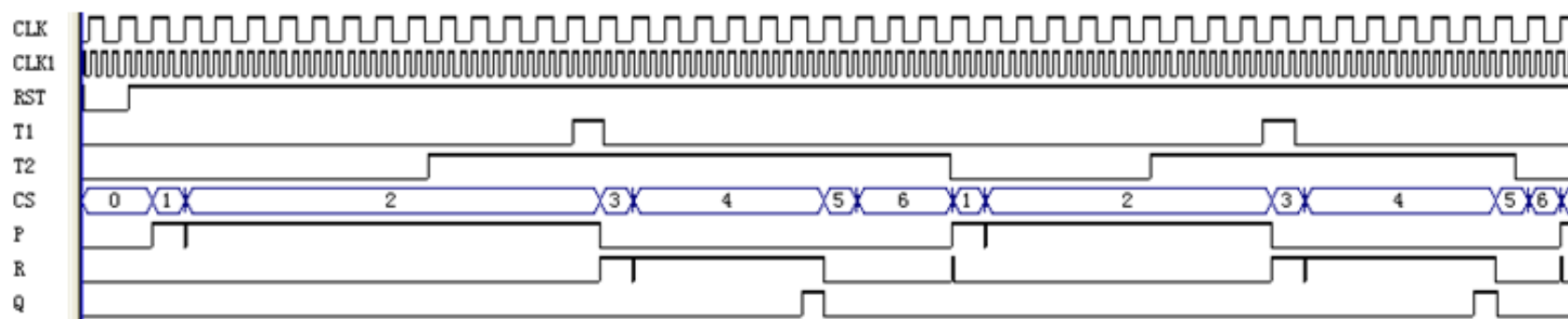


图 8-60 图 8-57 电路的时序仿真波形图

实验与设计

8-1. 用74系列宏模块设计两种不同类型的计数器

8-2. 基于一般模型的计数器设计

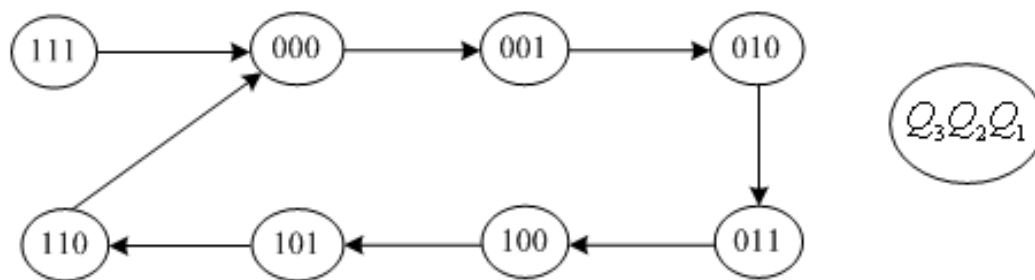


图 8-61 实验 8-2 的状态图

实验与设计

8-3. 基于LPM的16位可逆计数器设计

8-4. 双向旋转可控型4相步进电机控制电路设计

8-5. 键触点消抖动电路设计

8-6. 温控系统电路设计

8-7. 序列发生器设计