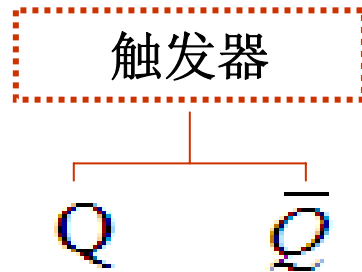


第5章



触发器及含触发器的PLD

5.1 概述



RS触发器

D触发器

J-K触发器

T触发器

5.2 RS触发器

5.2.1 基本RS触发器

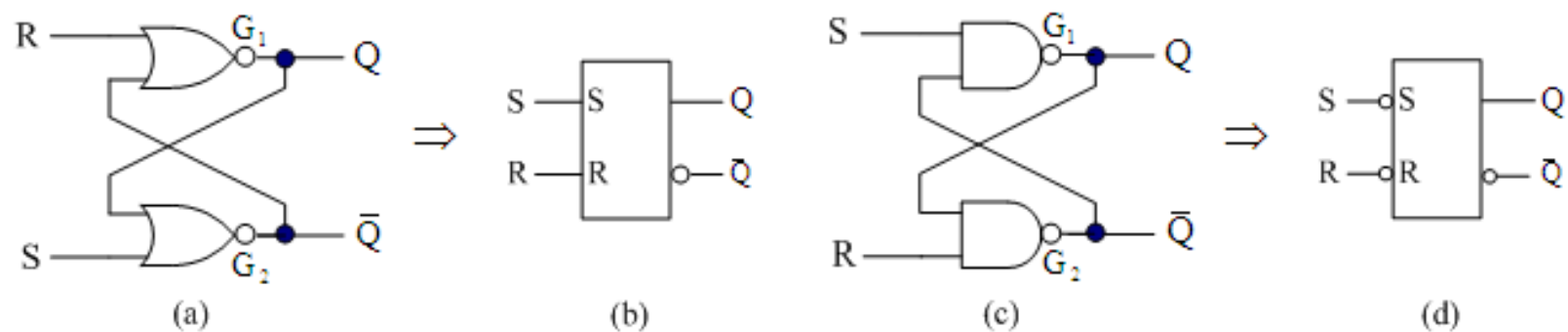


图 5-1 用两种不同逻辑门组成的基本 RS 触发器及其逻辑符号

5.2 RS触发器

5.2.1 基本RS触发器

表 5-1 或非门组成的 RS 触发器的真值表

R	S	Q	\bar{Q}	触发器状态
0	0	不变	不变	保持
0	1	1	0	置 1
1	0	0	1	置 0
1	1	0*	0*	不定

表 5-2 与非门组成的 RS 触发器的真值表

R	S	Q	\bar{Q}	触发器状态
0	0	1*	1*	不定
0	1	0	1	置 0
1	0	1	0	置 1
1	1	不变	不变	保持

5.2 RS触发器

5.2.1 基本RS触发器



图 5-2 两种基本 RS 触发器的仿真波形图

5.2 RS触发器

5.2.2 具备时钟控制的RS触发器

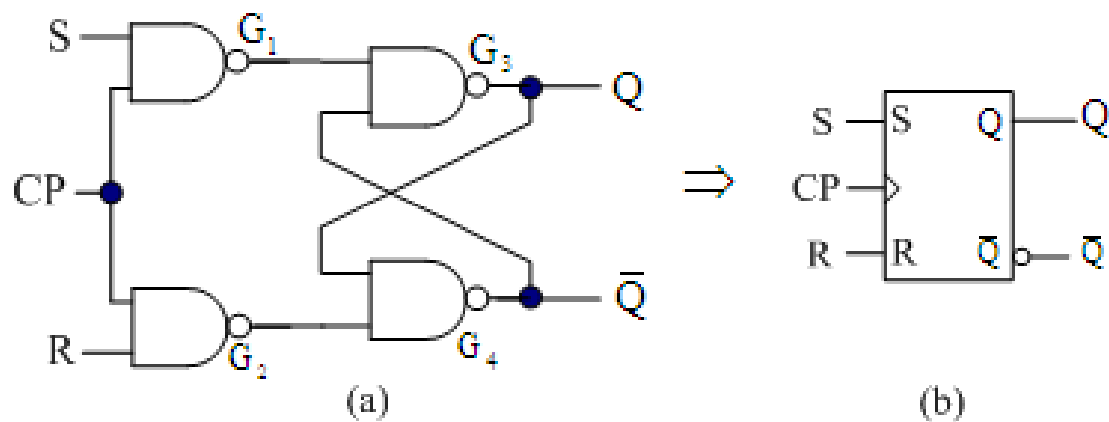


图 5-3 钟控 RS 触发器

5.2 RS触发器

5.2.2 具备时钟控制的RS触发器

表 5-3 钟控 RS 触发器状态转换真值表

CP	S	R	Q^n	Q^{n+1}	功能说明
0	×	×	0	0	$Q^{n+1} = Q^n$
0	×	×	1	1	保持
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	保持
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	置 0
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	置 1
1	1	1	0	1*	不允许
1	1	1	1	1*	

5.2 RS触发器

5.2.2 具备时钟控制的RS触发器

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \quad (\text{约束条件}) \end{cases} \quad (5-1)$$

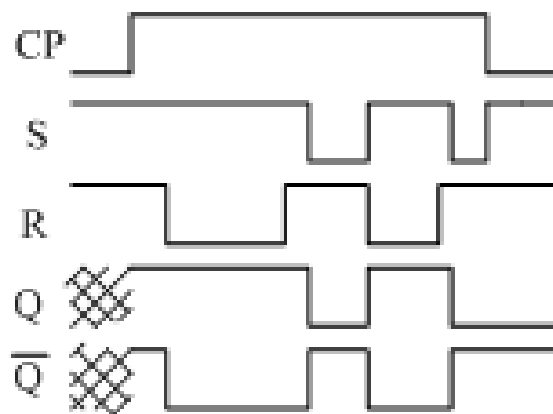


图 5-4 RS 触发器空翻波形图

5.2 RS触发器

5.2.3 主从RS触发器

$$\begin{cases} Q_m^{n+1} = S + \bar{R}Q_m^n \\ RS = 0 \end{cases} \quad (5-2)$$

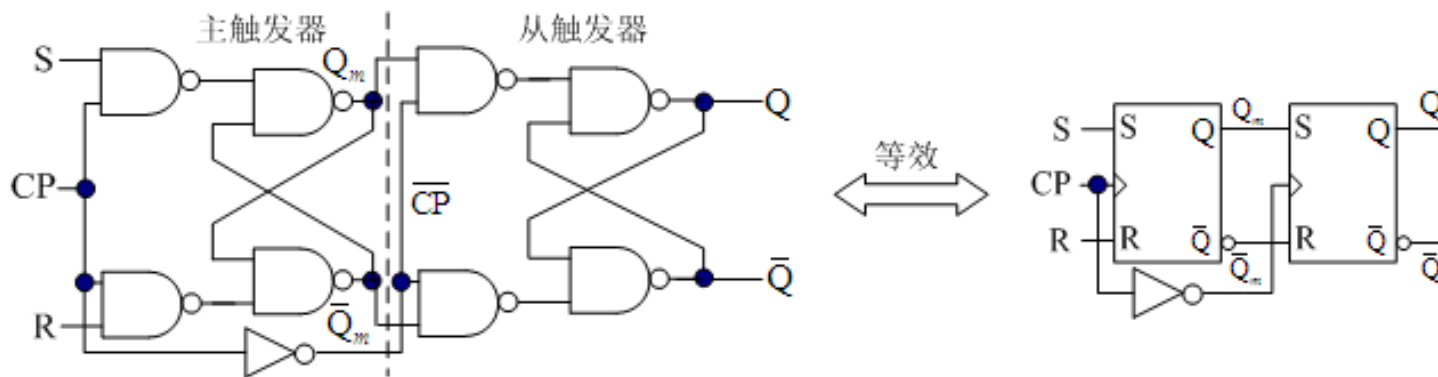


图 5-5 主从 RS 触发器

$$\begin{cases} Q^{n+1} = Q_m^{n+1} = S + \bar{R}Q_m^n = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (5-3)$$

5.2 RS触发器

5.2.4 RS触发器的应用

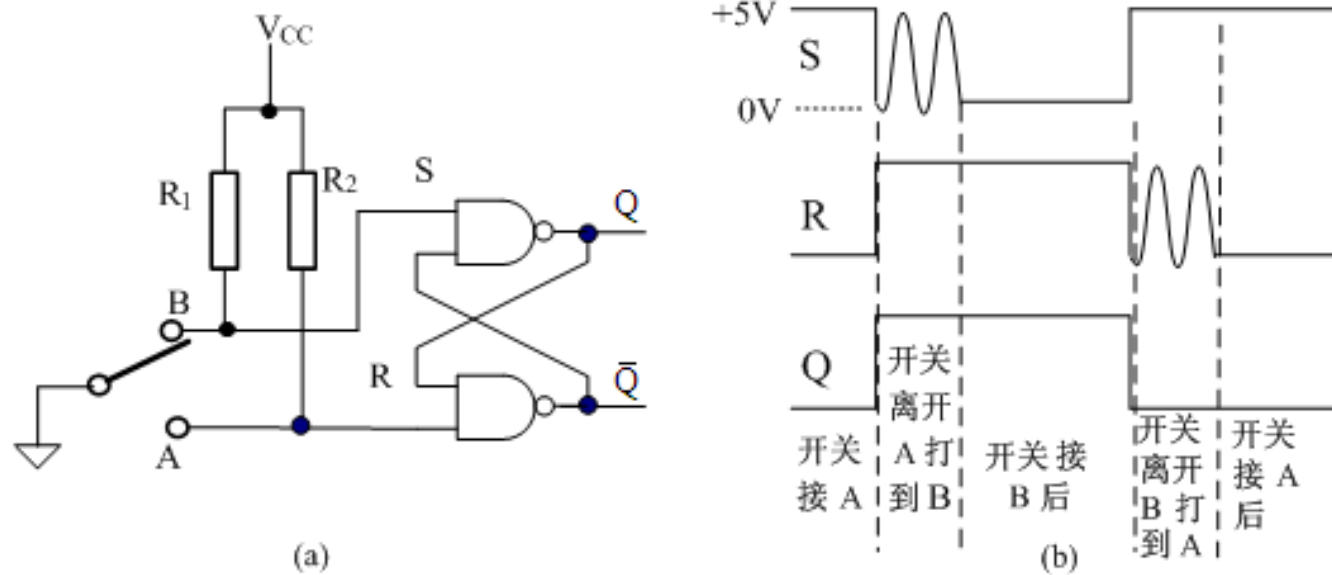


图 5-6 开关触点抖动消除电路

5.3 D触发器

5.3.1 最简结构电平触发型D触发器

表 5-4 D 触发器真值表

D	Q^n	Q^{n+1}
0	0	0
1	0	1
0	1	0
1	1	1

$$Q^{n+1} = D \tag{5-4}$$

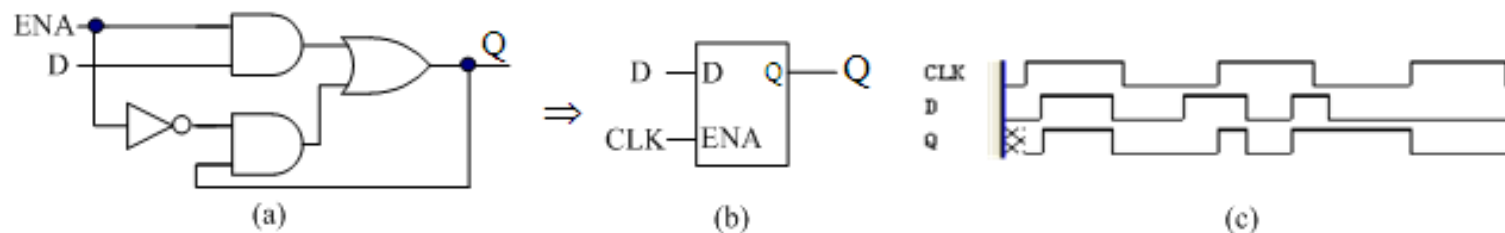


图 5-7 最简结构电平触发型 D 触发器及其时序仿真波形

5.3 D触发器

5.3.2 经典结构电平触发型D触发器

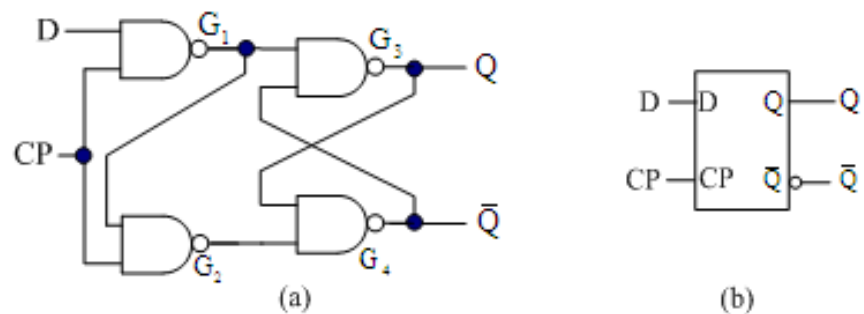


图 5-8 电平触发型 D 触发器结构与逻辑符号

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \Rightarrow Q^{n+1} = D \quad (5-5)$$

5.3 D触发器

5.3.3 维持-阻塞边沿触发型D触发器

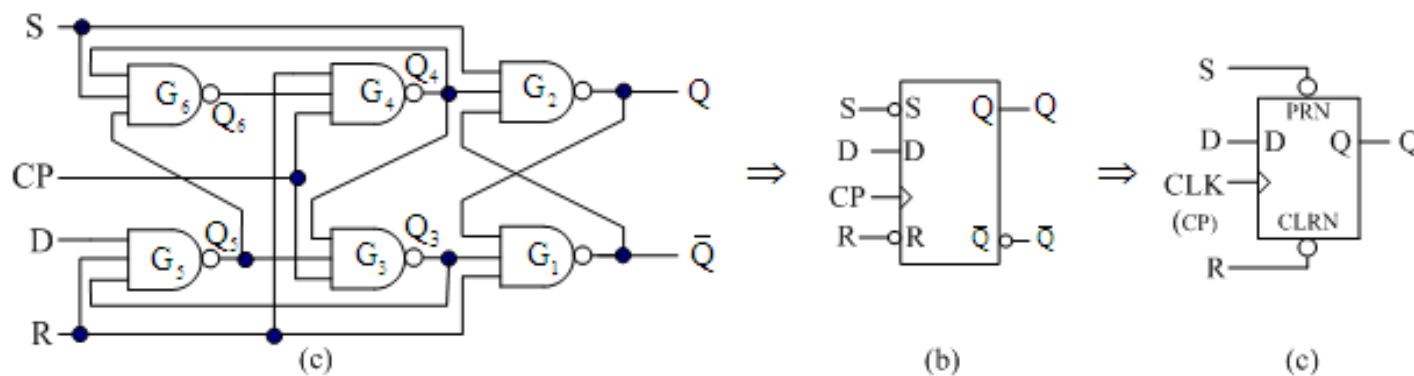


图 5-9 边沿触发型 D 触发器的结构与逻辑符号

5.3 D触发器

5.3.3 维持-阻塞边沿触发型D触发器

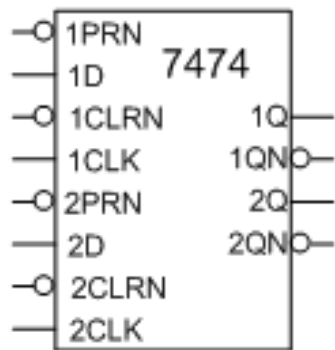


图 5-10 74LS74 端口逻辑图

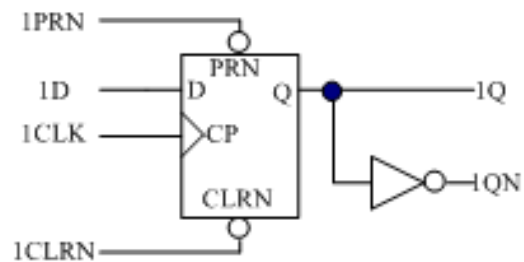


图 5-11 7474 的内部的边沿 D 触发器

5.3 D触发器

5.3.3 维持-阻塞边沿触发型D触发器

【例5-1】图5-12是上升沿触发型D触发器的输入信号和时钟脉冲波形，设触发器的初始状态为0，确定输出信号Q的波形。

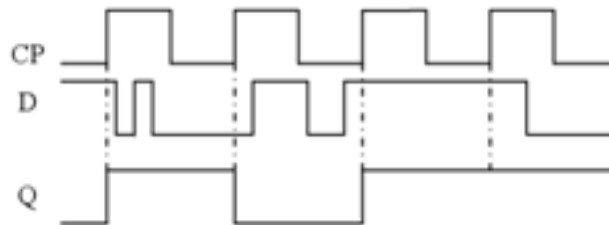


图 5-12 例 5-1 波形图

5.3 D触发器

5.3.3 维持-阻塞边沿触发型D触发器

【例5-2】图5-13是两个边沿D触发器构成的电路图，设触发器的初始状态 $Q_1Q_0=00$ ，试确定 Q_0 及 Q_1 在时钟脉冲作用下的波形（参考图5-14的输入波形）。

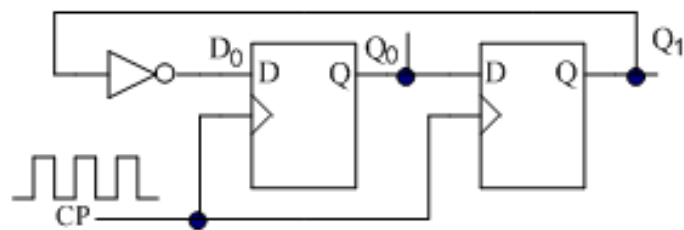


图 5-13 例 5-2 电路

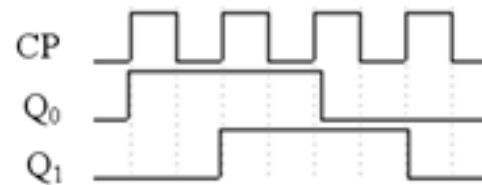


图 5-14 例 5-2 波形图

5.3 D触发器

5.3.4 由CMOS传输门构成的各类D触发器

1. 电平型触发型D触发器

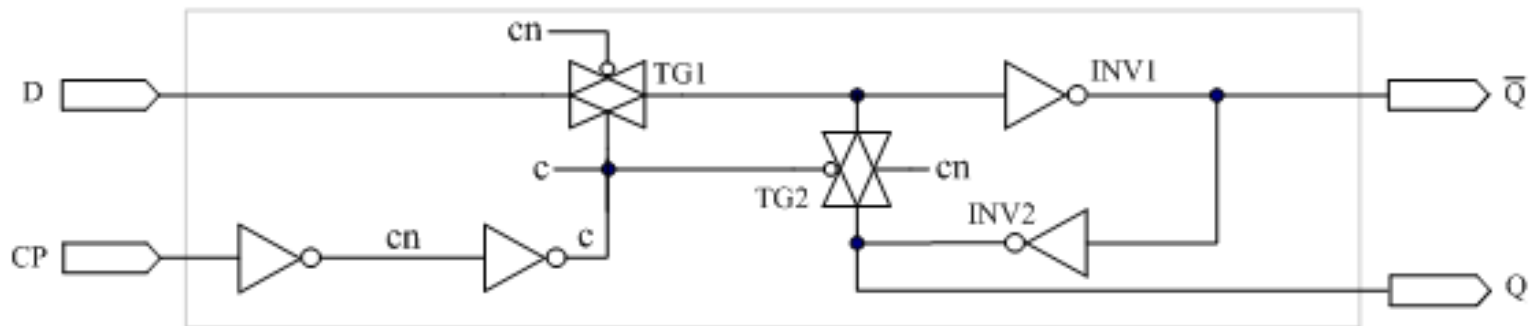


图 5-15 CMOS 传输门构成的电平触发型 D 触发器

5.3 D触发器

5.3.4 由CMOS传输门构成的各类D触发器

2. 带清零和置位控制端的电平型D触发器。

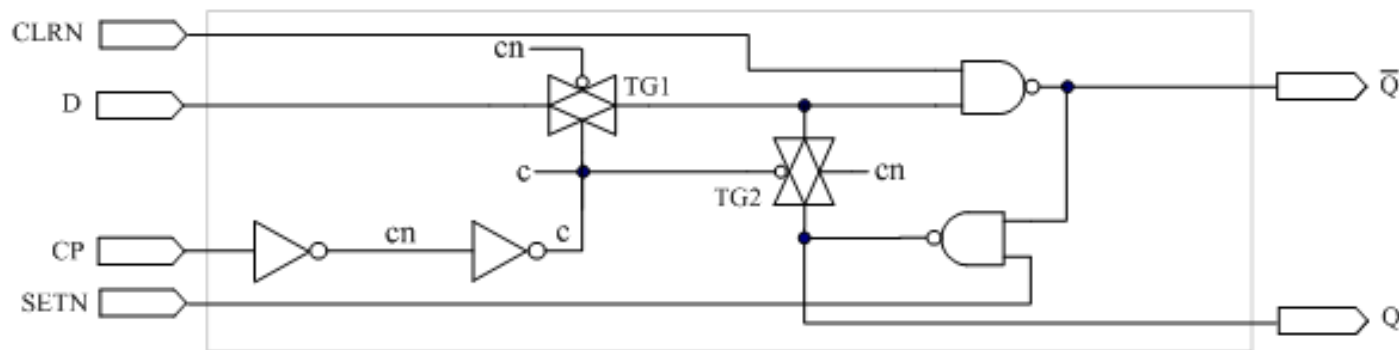


图 5-16 CMOS 传输门构成的带清零和置位端的电平触发型 D 触发器

5.3 D触发器

5.3.4 由CMOS传输门构成的各类D触发器

3. 边沿触发型D触发器

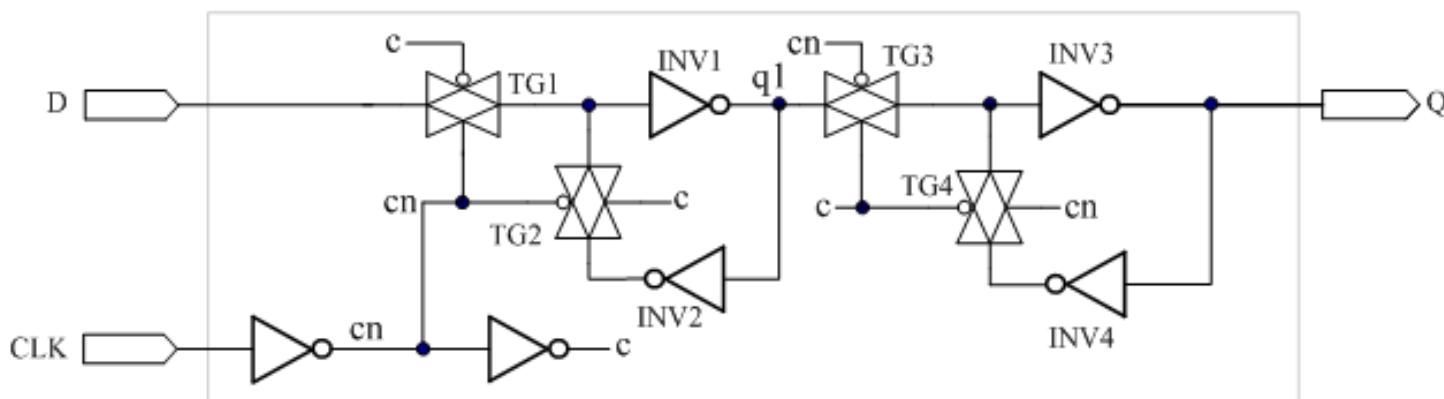


图 5-17 CMOS 传输门构成边沿型触发型 D 触发器 (DFF)

5.3 D触发器

5.3.4 由CMOS传输门构成的各类D触发器

4. 带清零和置位控制端的边沿触发型D触发器

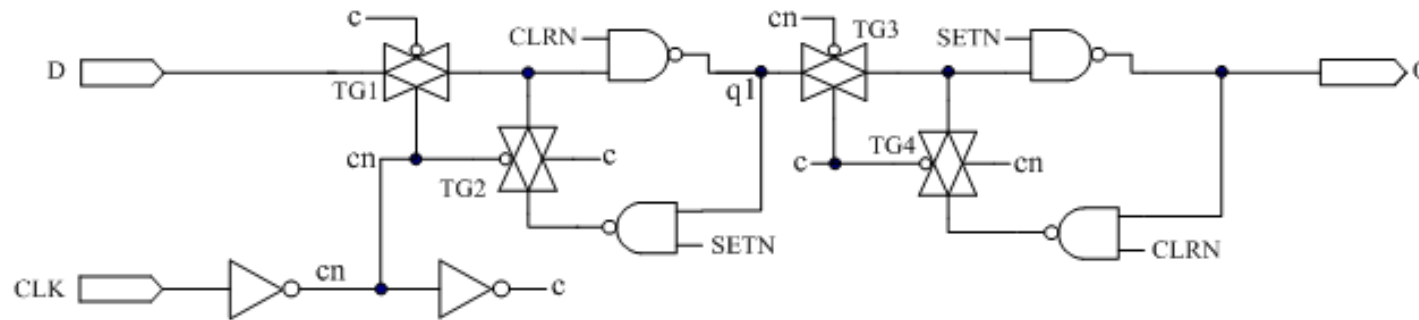


图 5-18 CMOS 传输门构成的带清零和置位端的边沿型 D 触发器

5.4 JK触发器

5.4.1 主从JK触发器

$$S = J\bar{Q}^n, \quad R = KQ^n$$

$$\begin{aligned} Q^{n+1} &= S + \bar{R}Q^n = J\bar{Q}^n + \overline{KQ^n}Q^n \\ &= J\bar{Q}^n + \bar{K}Q^n \end{aligned} \quad (5-6)$$

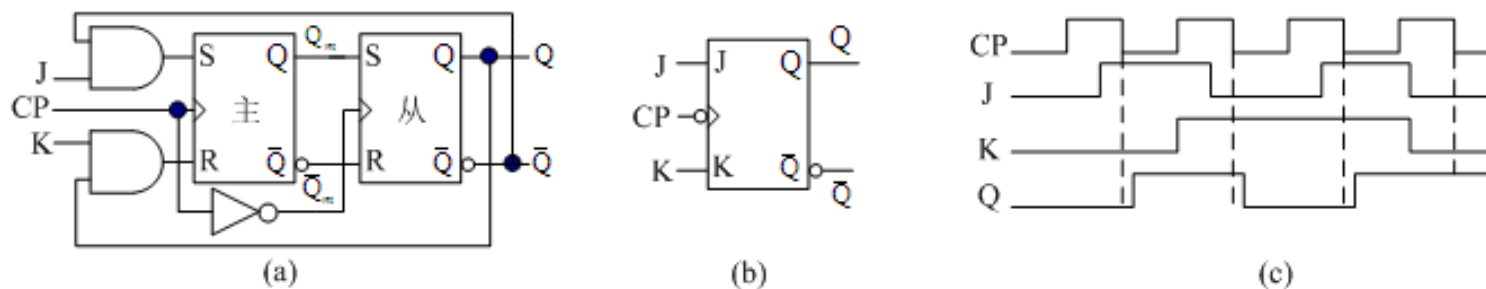


图 5-19 主从 JK 触发器的内部电路图及其逻辑符号

5.4 JK触发器

5.4.1 主从JK触发器

表 5-5 主从 JK 触发器状态转换真值表 (CP 下降沿时)

J	K	Q^n	Q^{n+1}	功能	
0	0	0	0	$Q^{n+1}=Q^n$	保持
0	0	1	1		
0	1	0	0	$Q^{n+1}=0$	置 0
0	1	1	0		
1	0	0	1	$Q^{n+1}=1$	置 1
1	0	1	1		
1	1	0	1	$Q^{n+1}=\bar{Q}^n$	翻转
1	1	1	0		

5.4 JK触发器

5.4.2 边沿触发型JK触发器

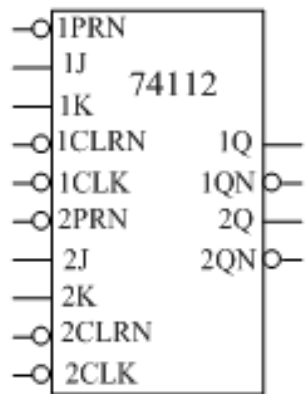


图 5-20 下降沿 JK 触发器

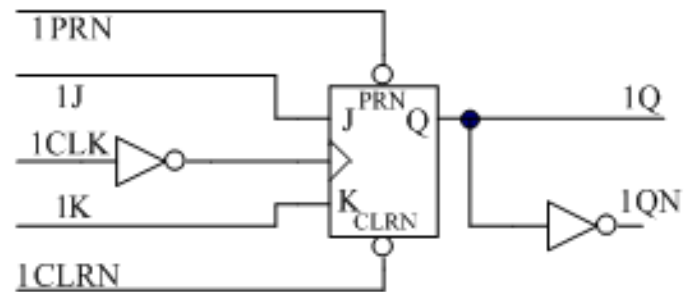


图 5-21 下降沿触发型 JK 触发器 74112 部分内部结构

5.4 JK触发器

5.4.2 边沿触发型JK触发器

【例5-3】 设上升沿JK触发器电路如图5-22所示，其初态为0，输入信号波形如图5-19所示，试画出它的输出波形。

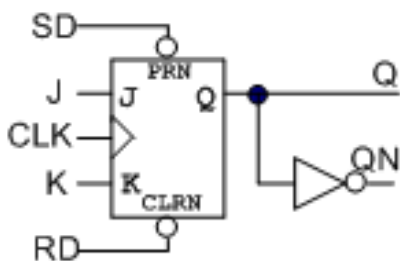


图 5-22 例 5-3 电路图

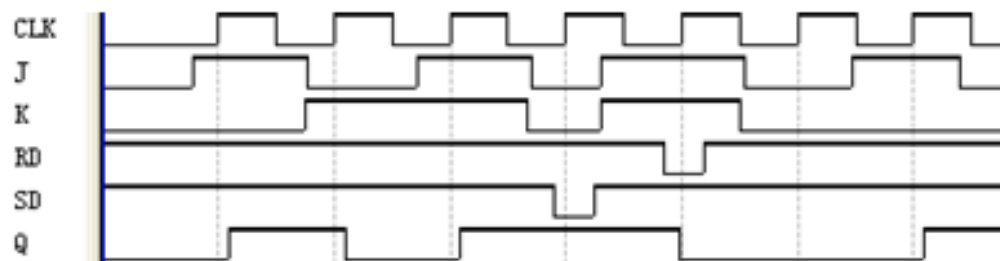


图 5-23 例 5-3 输入输出仿真波形图

5.4 JK触发器

5.4.2 边沿触发型JK触发器

【例5-4】图5-24给出了由两个边沿JK触发器连接而成的逻辑电路，设两个触发器的初始状态都是0状态，试确定输出端Q1、Q0的波形，并写出由这些波形所表示的二进制序列。

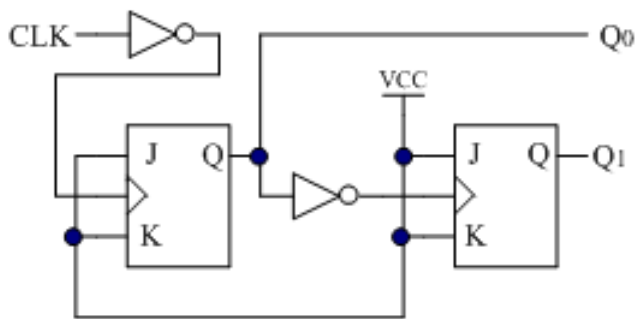


图 5-24 例 5-4 逻辑电路图

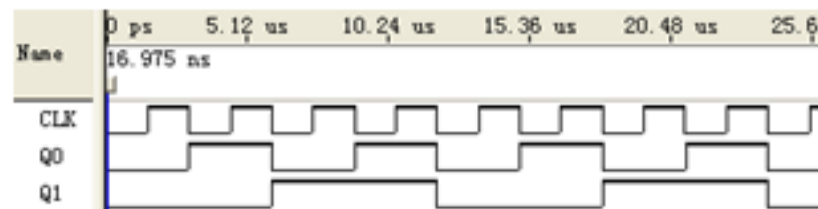


图 5-25 例 5-4 输出波形

5.5 触发器间的转换

5.5.1 D触发器转换为JK、T和T'触发器

(1) D触发器转换成JK触发器。

$$Q^{n+1} = D, \quad Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad D = J\bar{Q}^n + \bar{K}Q^n$$

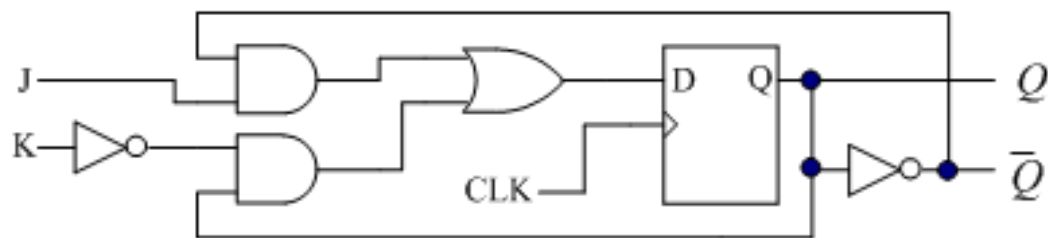


图 5-26 用 D 触发器构成的 JK 触发器

5.5 触发器间的转换

5.5.1 D触发器转换为JK、T和T'触发器

(2) D触发器转换成T和T' 触发器。

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n \qquad Q^{n+1} = D \qquad D = T \oplus Q^n$$

表 5-6 T 触发器真值表

T	Q^{n+1}	功能说明
0	Q^n	保持
1	\bar{Q}^n	翻转

表 5-7 T' 触发器真值表

Q^{n+1}	功能说明
\bar{Q}^n	翻转

5.5 触发器间的转换

5.5.1 D触发器转换为JK、T和T'触发器

(2) D触发器转换成T和T' 触发器。

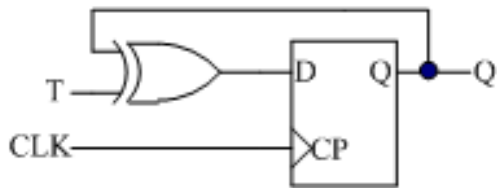


图 5-27 用 D 触发器构成的 T 触发器

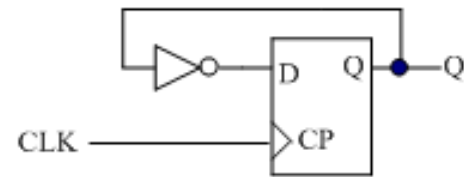


图 5-28 用 D 触发器构成的 T' 触发器

5.5 触发器间的转换

5.5.2 JK触发器转换为D触发器

$$Q^{n+1} = D = DQ^n + D\overline{Q}^n$$

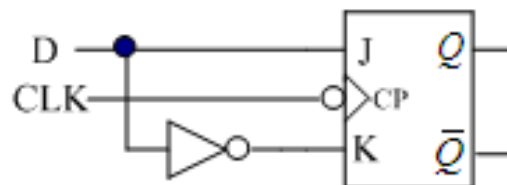


图 5-29 JK 触发器构成的 D 触发器

5.6 含触发器的PLD的结构与原理

5.6.1 通用可编程逻辑器件GAL

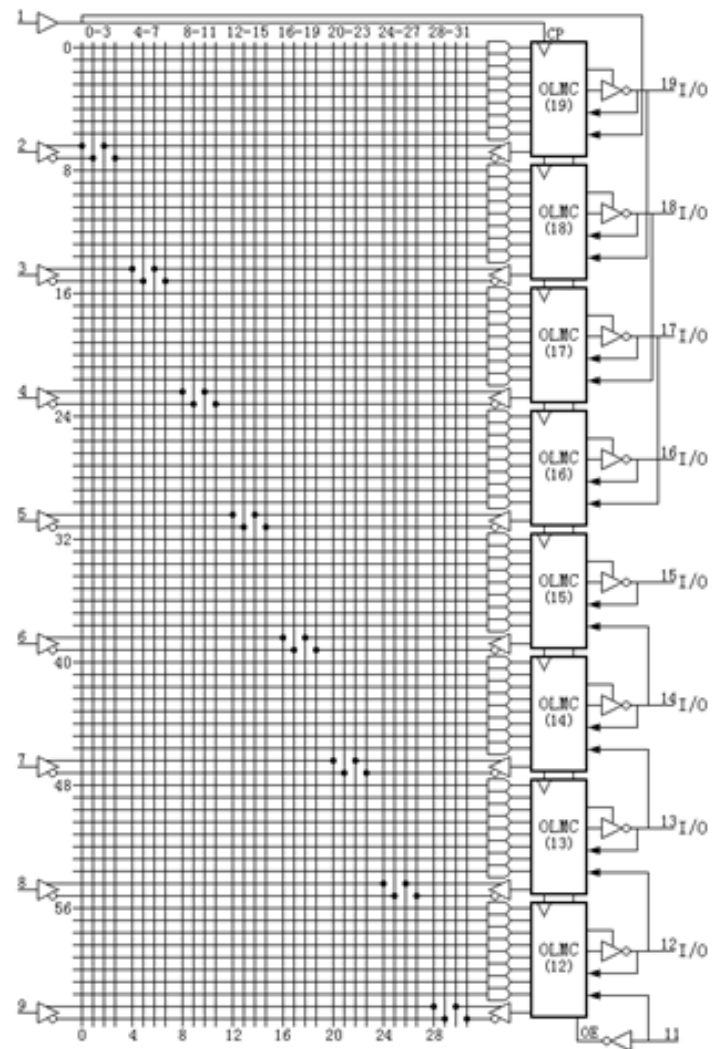


图 5-30 GAL16V8 的逻辑图

5.6 含触发器的PLD的结构与原理

5.6.1 通用可编程逻辑器件GAL

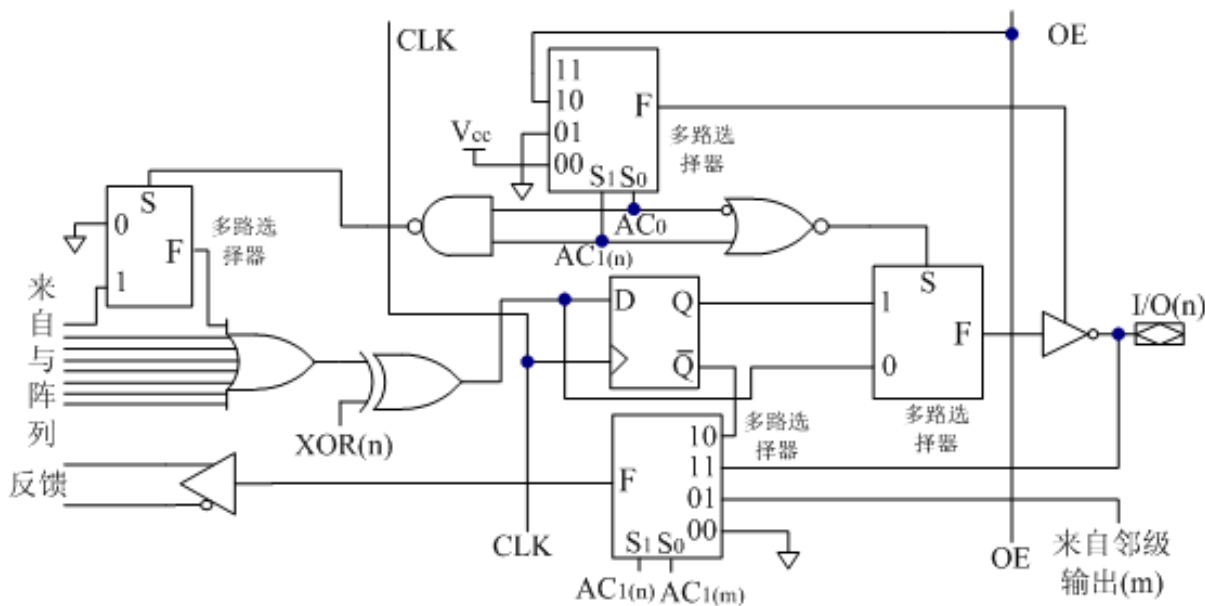


图 5-31 逻辑宏单元 OLMC 的逻辑结构图

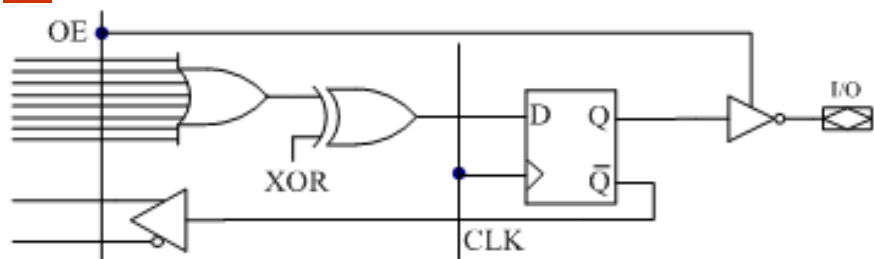


图 5-32 寄存器输出结构

5.6 含触发器的PLD的结构与原理

5.6.2 复杂可编程逻辑器件CPLD

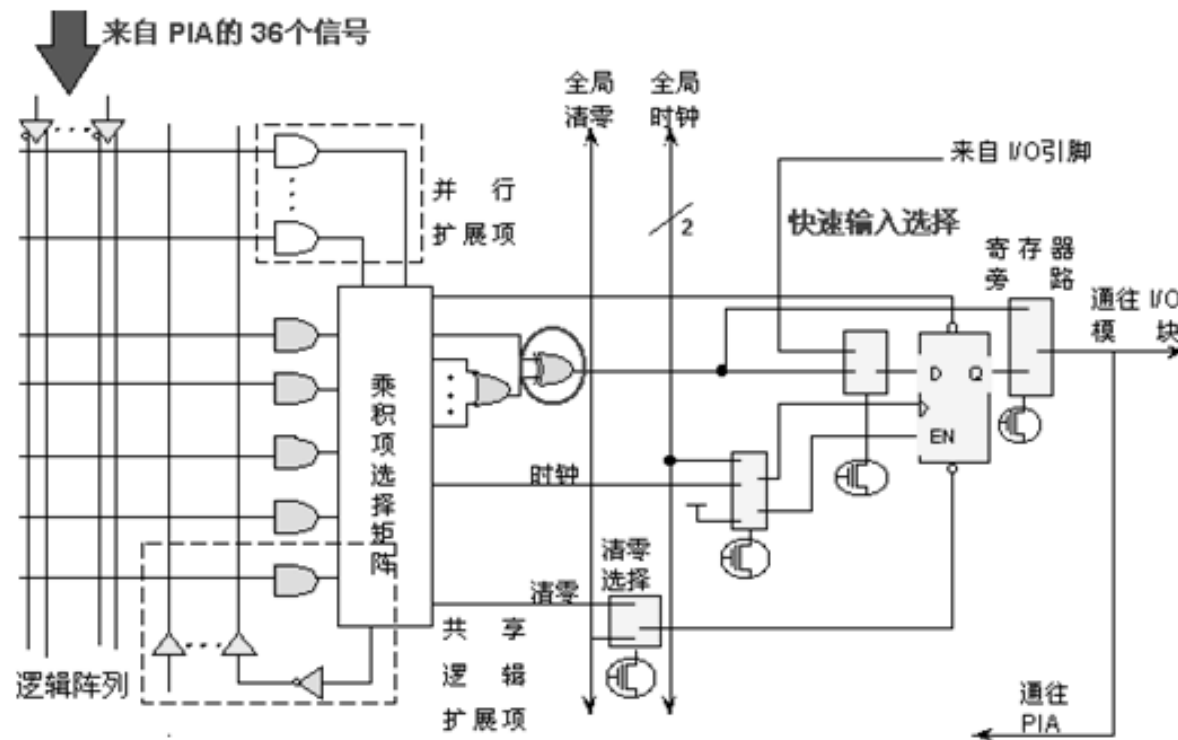


图 5-33 MAX3000 系列的单个宏单元结构

5.6 含触发器的PLD的结构与原理

5.6.2 复杂可编程逻辑器件CPLD

1. 逻辑阵列块LAB

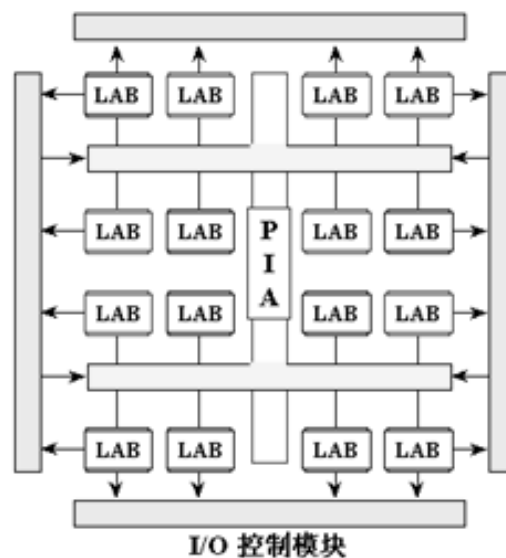


图 5-34 MAX3128S 的结构

2. 逻辑宏单元

5.6 含触发器的PLD的结构与原理

5.6.3 现场可编程门阵列FPGA

1. 查找表逻辑结构

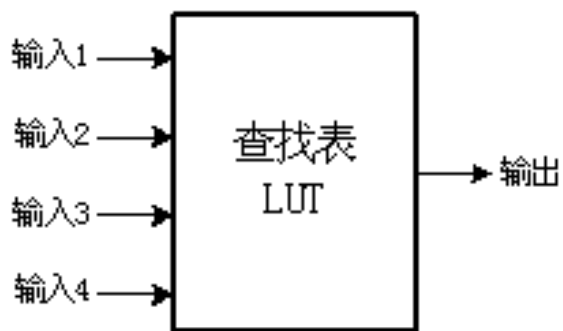


图 5-35 FPGA 查找表单元

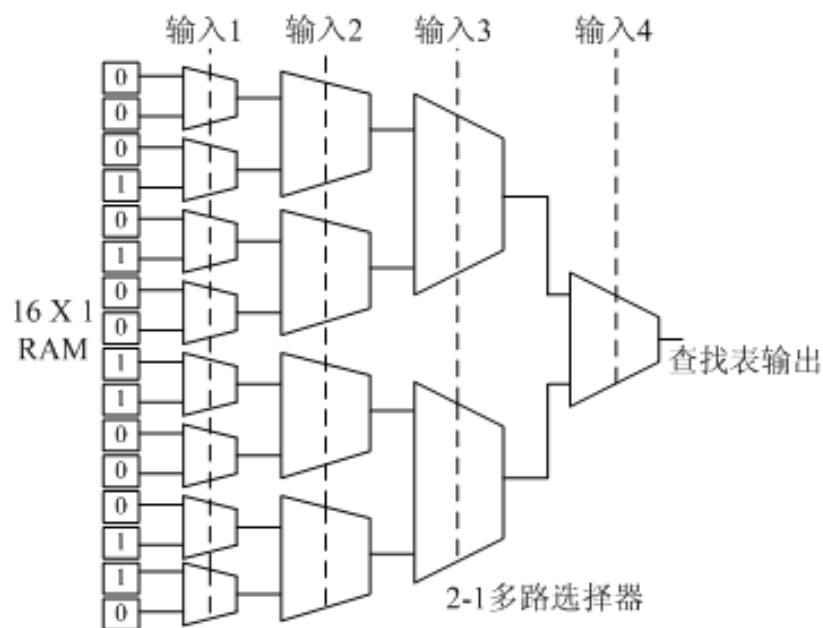


图 5-36 FPGA 查找表单元内部结构

5.6 含触发器的PLD的结构与原理

2. Cyclone系列FPGA器件的基本结构

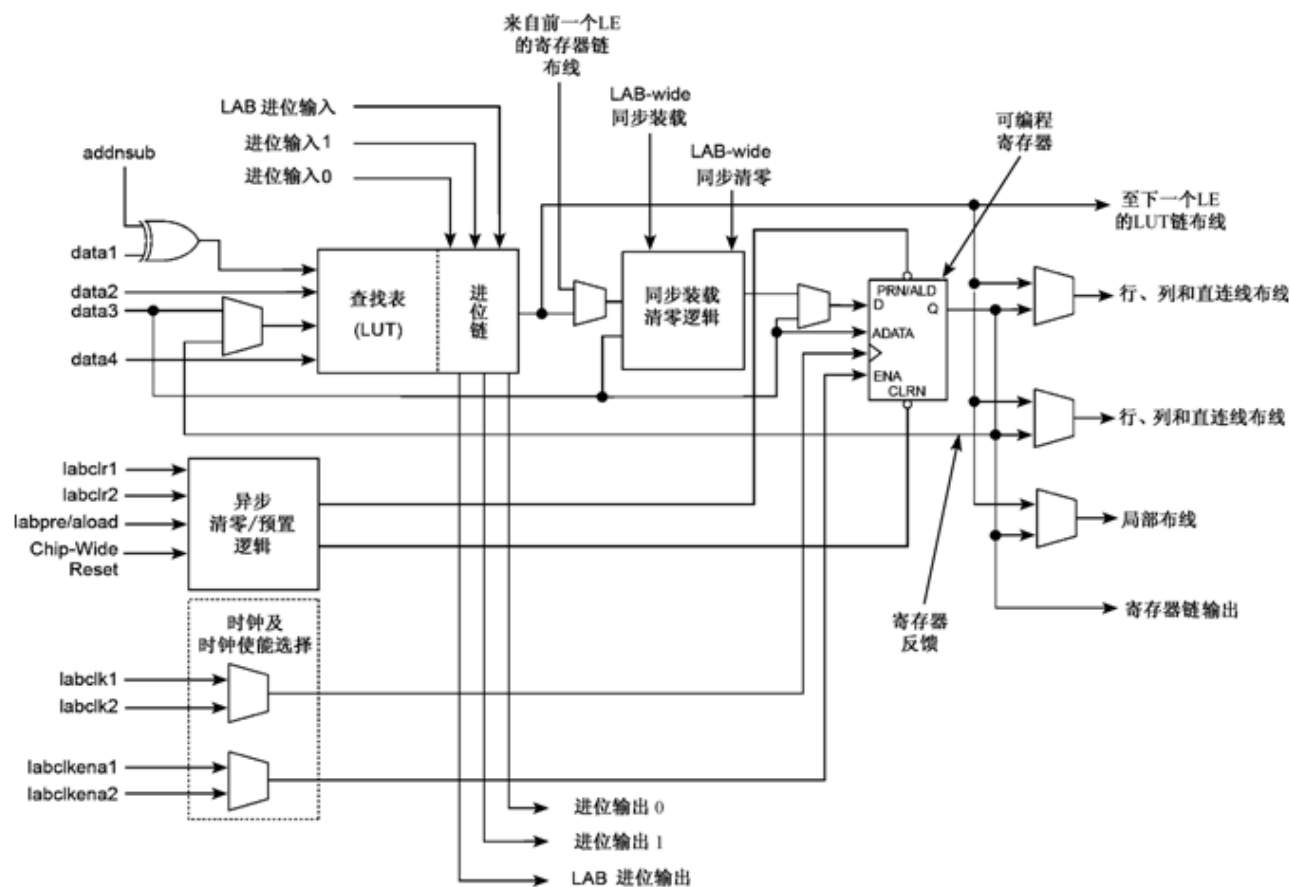


图 5-37 Cyclone LE 结构图

5.6 含触发器的PLD的结构与原理

5.6.3 现场可编程门阵列FPGA

3. Cyclone中的嵌入式模块

习题

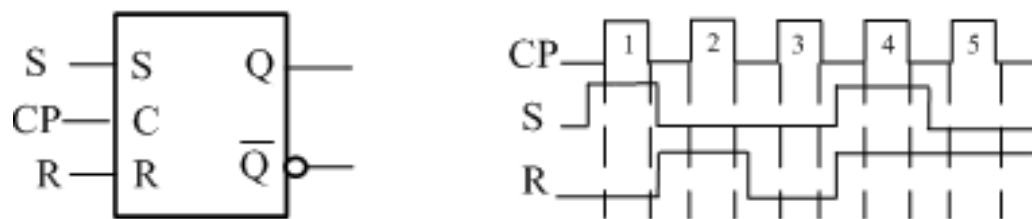


图 5-38 题 5-1 的电路与波形图

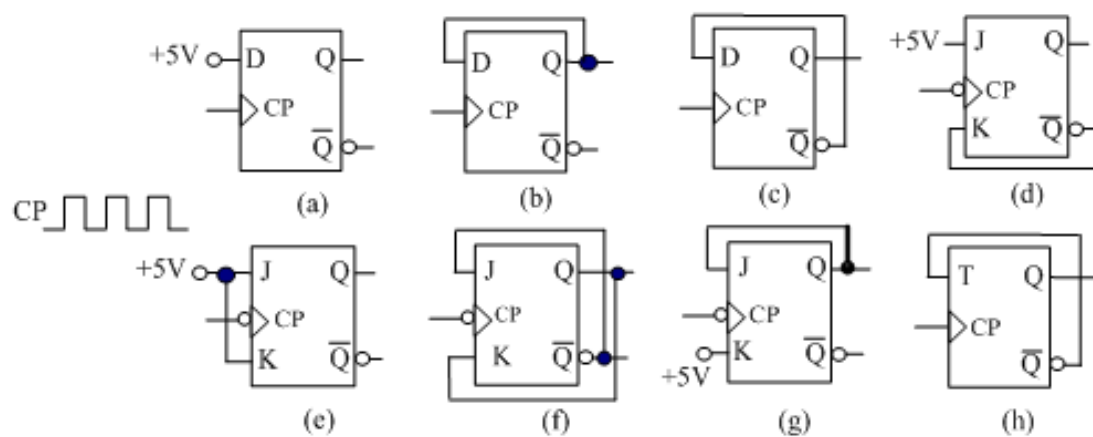


图 5-39 题 5-3 的电路与波形图

习题

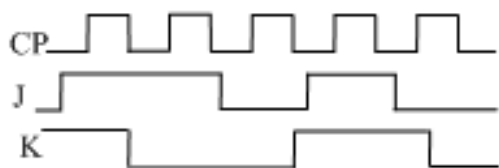


图 5-40 题 5-4 JK 触发器工作波形

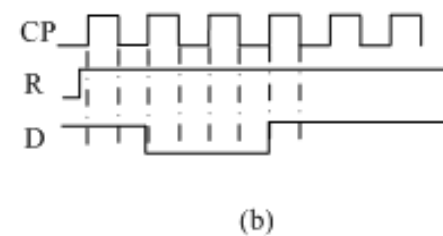
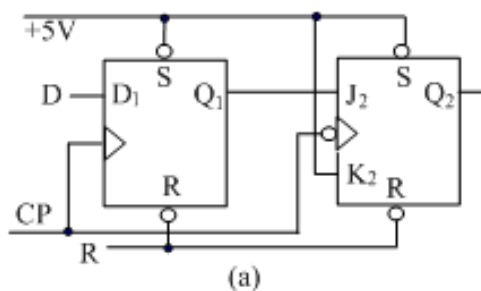


图 5-41 题 5-5 的电路与波形图

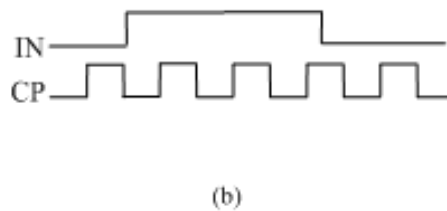
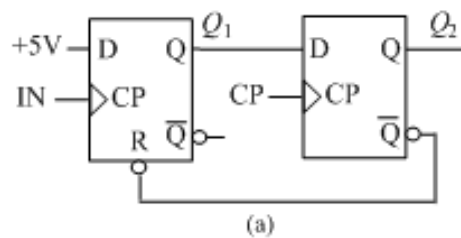


图 5-42 题 5-6 的电路与波形图

实验

5-1. 验证集成触发器的逻辑功能及相互转换的方法

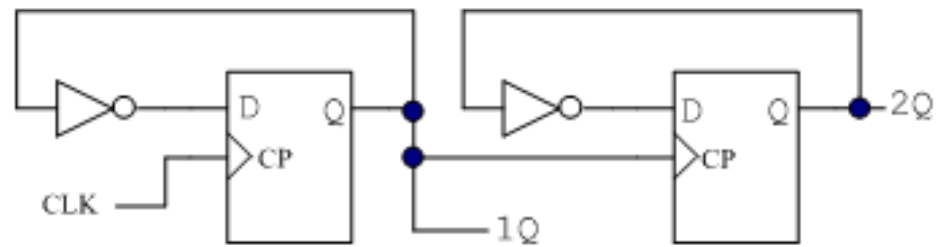


图 5-43 实验 5-1(6)电路

实验

5-2. 由RS触发器构成的多路抢答器设计

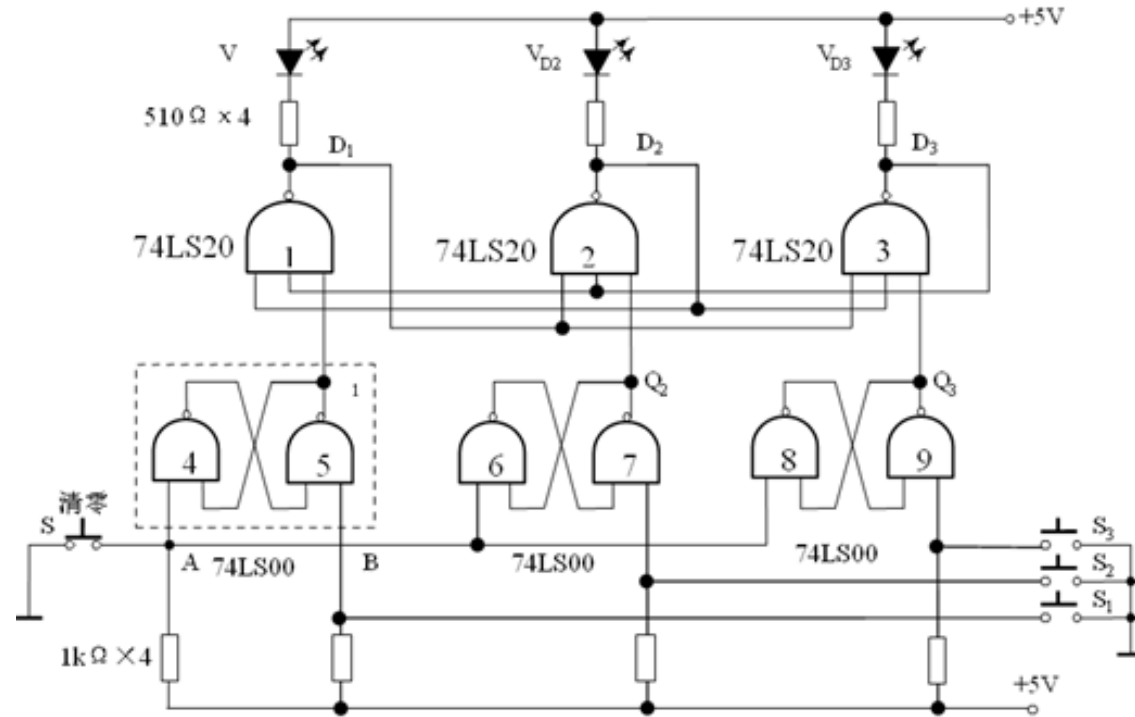


图 5-44 抢答器电路图