

第2章



逻辑门功能及其电路特性

2.1 基本逻辑门

2.1.1 逻辑代数的三种基本运算模型

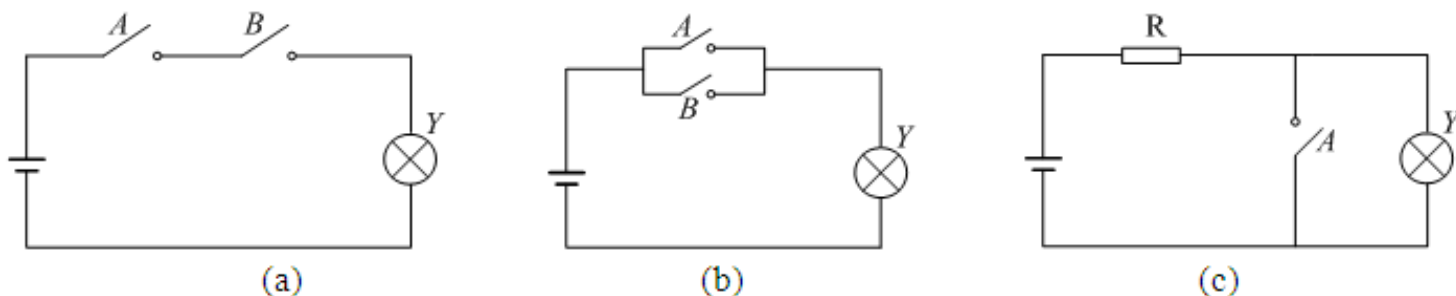


图 2-1 与、或、非逻辑说明示例

开关 A	开关 B	灯 Y
断开	断开	灭
断开	闭合	灭
闭合	断开	灭
闭合	闭合	亮

开关 A	开关 B	灯 Y
断开	断开	灭
断开	闭合	亮
闭合	断开	亮
闭合	闭合	亮

开关 A	灯 Y
断开	亮
闭合	灭

2.1 基本逻辑门

2.1.2 基本逻辑符号

与运算	或运算	非运算
$0 \cdot 0 = 0$	$0 + 0 = 0$	$\bar{0} = 1$
$0 \cdot 1 = 0$	$0 + 1 = 1$	$\bar{1} = 0$
$1 \cdot 0 = 0$	$1 + 0 = 1$	
$1 \cdot 1 = 1$	$1 + 1 = 1$	

与运算	或运算	非运算
$A \cdot 0 = 0$	$A + 0 = A$	$\bar{\bar{A}} = A$
$A \cdot 1 = A$	$A + 1 = 1$	$\bar{A} + A = 1$
$A \cdot A = A$	$A + A = A$	$\bar{A} \cdot A = 0$

2.1 基本逻辑门

2.1.2 基本逻辑符号

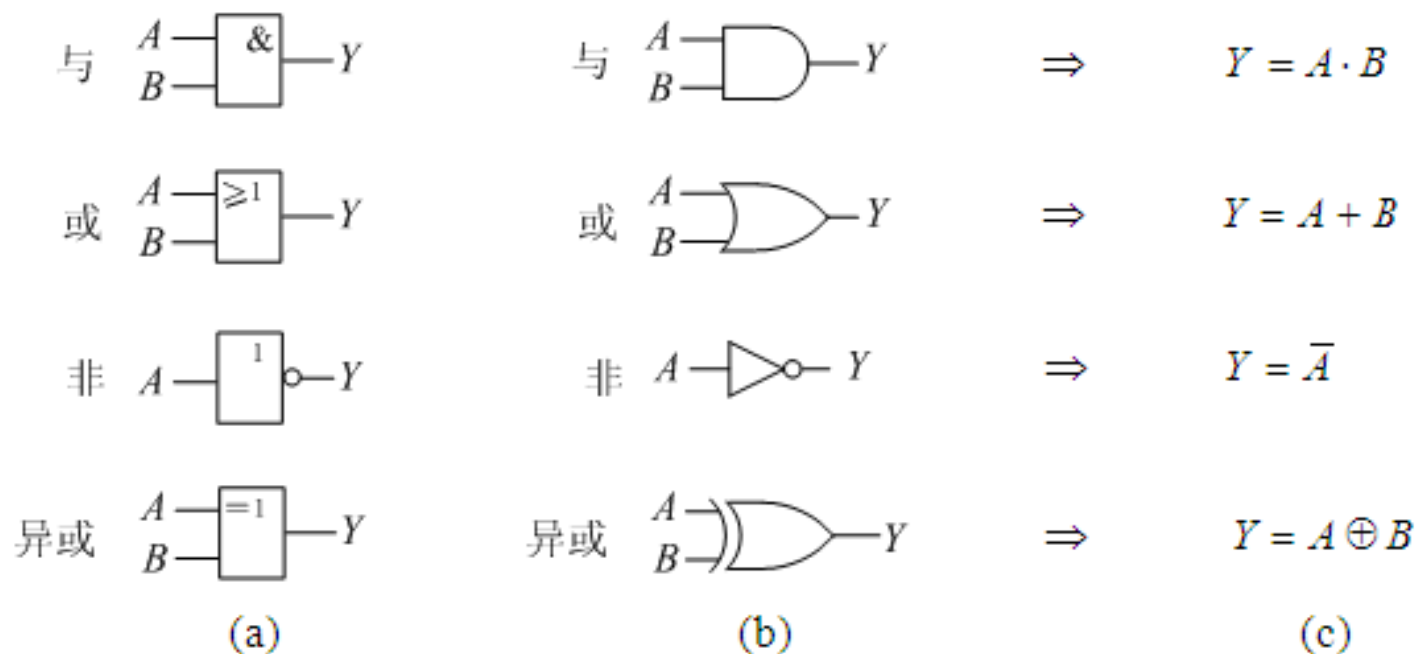


图 2-2 两种 IEEE 标准基本逻辑门符号的比较

2.1 基本逻辑门

2.1.2 基本逻辑符号

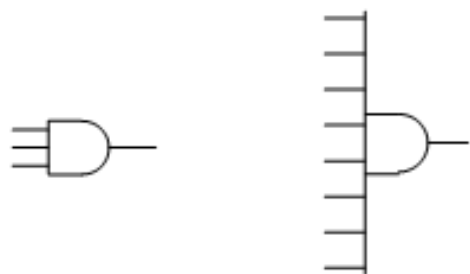


图 2-3 3 输入与门和 8 输入与门

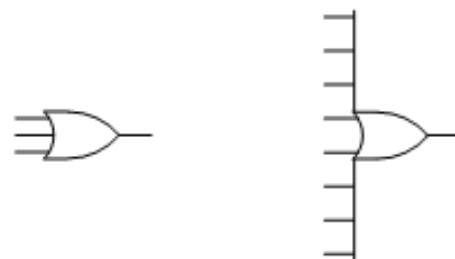


图 2-4 3 输入或门和 8 输入或门

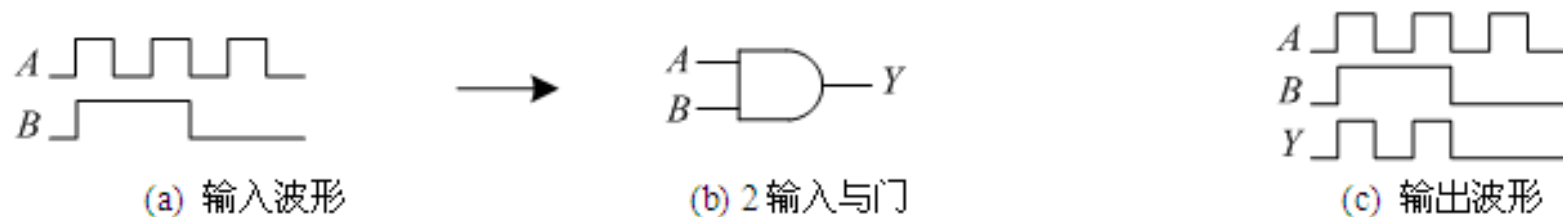


图 2-5 二输入与门及其输入和输出波形

2.1 基本逻辑门

2.1.2 基本逻辑符号

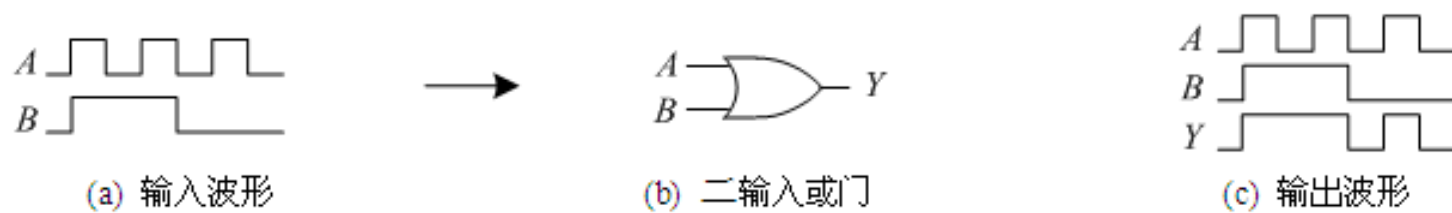


图 2-6 二输入或门及其输入和输出波形

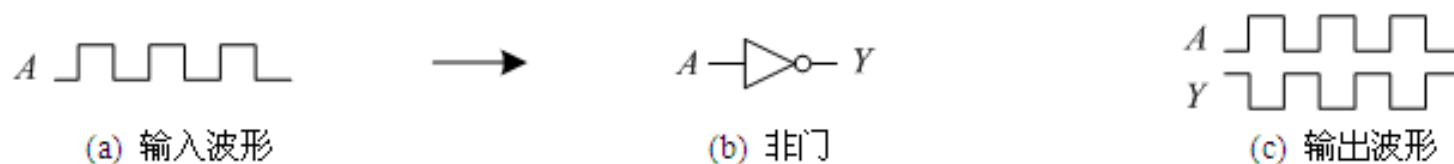


图 2-7 非门及其输入和输出波形

2.2 基本组合逻辑门

2.2.1 与非门

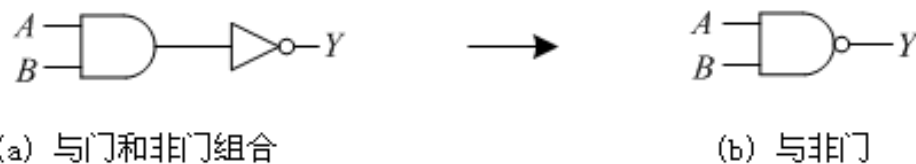


图 2-8 二输入与非门的图形符号

表 2-7 “与非”门真值表

A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

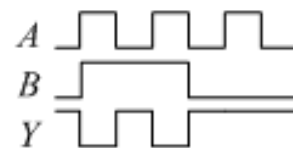
$$Y = \overline{A \cdot B}$$



(a) 输入波形



(b) 与非门



(c) 输出波形

图 2-9 二输入与非门的输入和输出波形

2.2 基本组合逻辑门

2.2.2 或非门

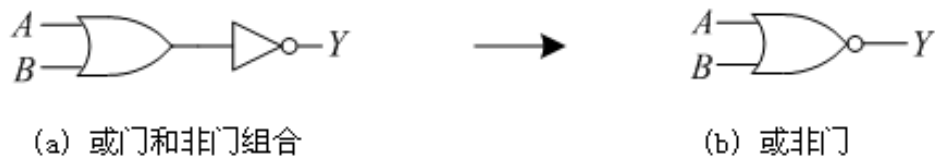


图 2-10 或非门的逻辑符号

$$Y = \overline{A + B}$$

表 2-8 或非门真值表

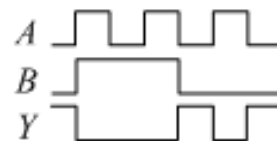
A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0



(a) 输入波形



(b) 或非门



(c) 输出波形

图 2-11 或非门的输入和输出波形

2.2 基本组合逻辑门

2.2.3 异或门



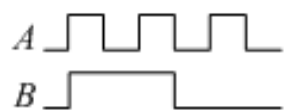
图 2-12 异或门逻辑符号

$$Y = A \oplus B = \bar{A} \cdot B + \bar{B} \cdot A$$

$$Y = A \oplus B = \bar{A}B + \bar{B}A$$

表 2-9 异或门真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



(a) 输入波形



(b) 异或门



(c) 输出波形

图 2-13 异或门的输入和输出波形

2.2 基本组合逻辑门

2.2.4 同或门



图 2-14 同或门的逻辑符号

$$Y = A \odot B = \bar{A}\bar{B} + AB$$

表 2-10 同或门真值表

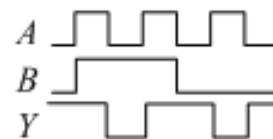
A	B	$Y = A \odot B$
0	0	1
0	1	0
1	0	0
1	1	1



(a) 输入波形



(b) 同或门



(c) 输出波形

图 2-15 同或门的输入和输出波形

2.3 其它辅助门电路

2.3.1 三态门

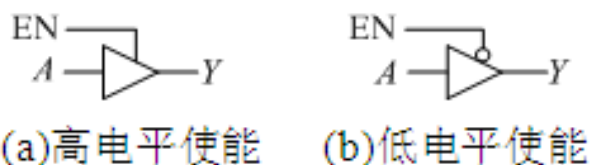


图 2-16 三态门

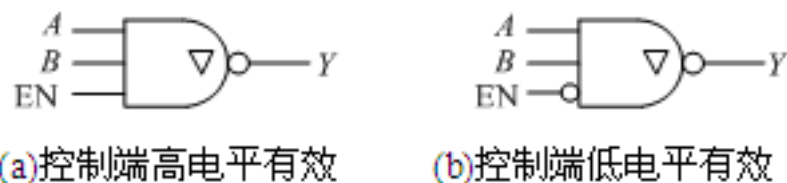


图 2-17 三态与非门的逻辑符号

表 2-11 图 2-17(a)的三态门真值表

使能端	数 据		输出端
EN	A	B	Y
0	x	x	高阻态 Z
1	$Y = \overline{A \cdot B}$		

2.3 其它辅助门电路

2.3.1 三态门

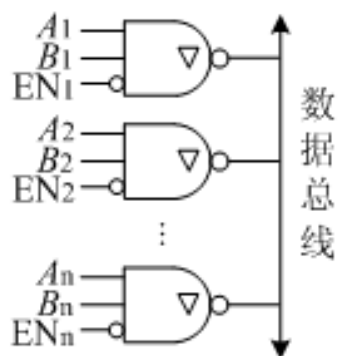
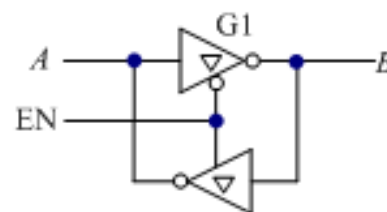


图 2-18 三态门用于总线传输图



2-19 用三态门实现数据双向传输

2.3 其它辅助门电路

2.3.2 集电极开路门

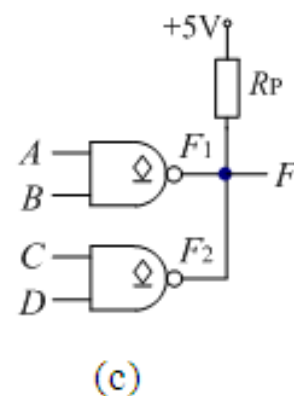
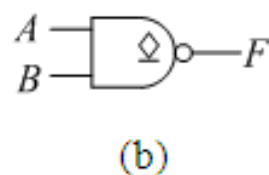
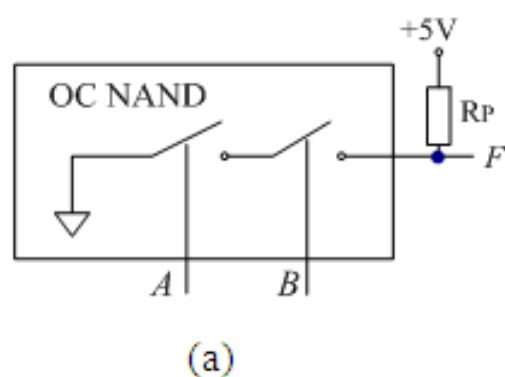


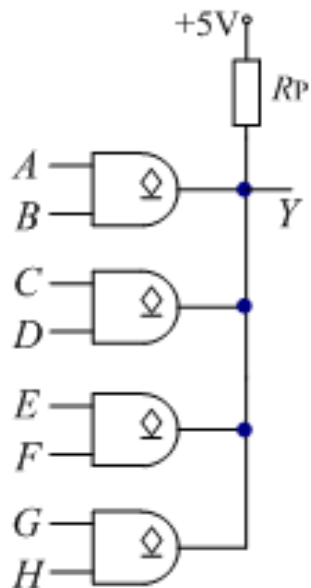
图 2-20 OC 与非门的开关级描述及其线与电路

2.3 其它辅助门电路

2.3.2 集电极开路门

1、实现线与功能

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$



$$Y = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H$$

图 2-21 四 OC 与门

2.3 其它辅助门电路

2.3.2 集电极开路门

2、实现电平转换

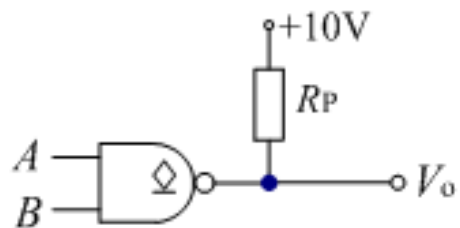


图 2-22 实现电平转换

3、用做驱动器

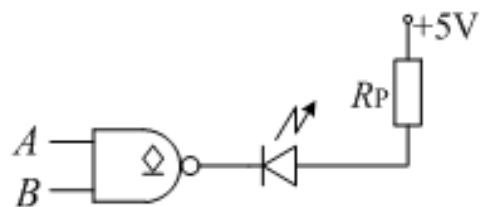


图 2-23 驱动发光二极管

2.4 集成电路逻辑门

2.4.1 逻辑门及其基本结构与工作原理

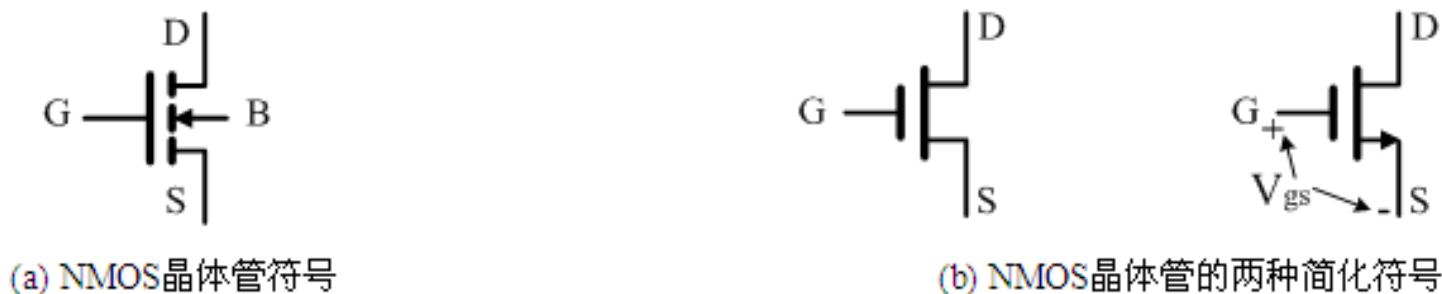


图 2-24 NMOS 晶体管的图形符号

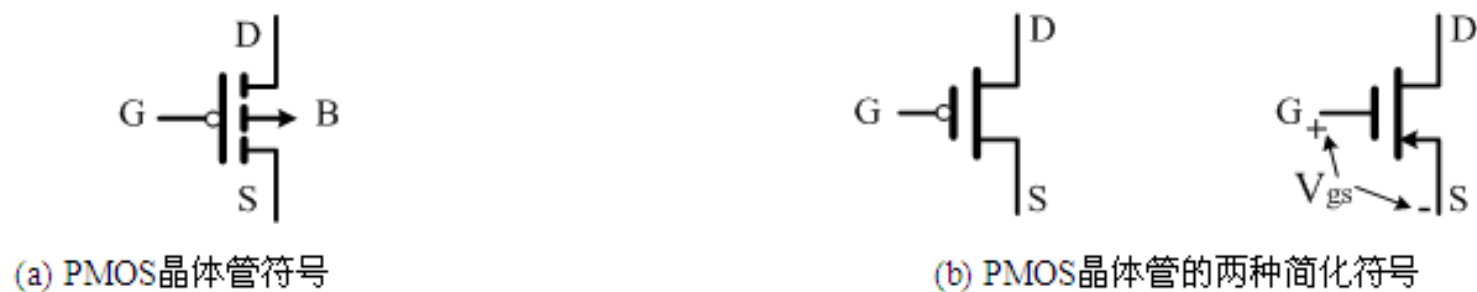


图 2-25 7 PMOS 晶体管的图形符号

2.4 集成电路逻辑门

2.4.1 逻辑门及其基本结构与工作原理

1、CMOS反相器（CMOS非门）工作原理

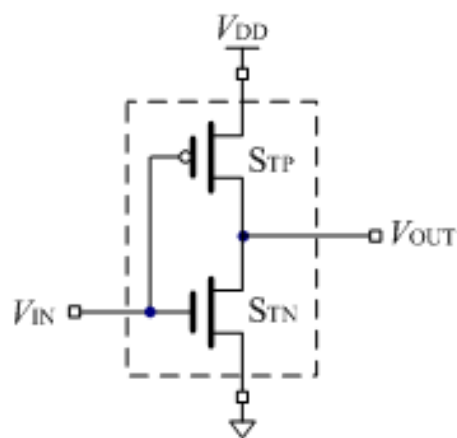


图 2-26 CMOS 反相器结构

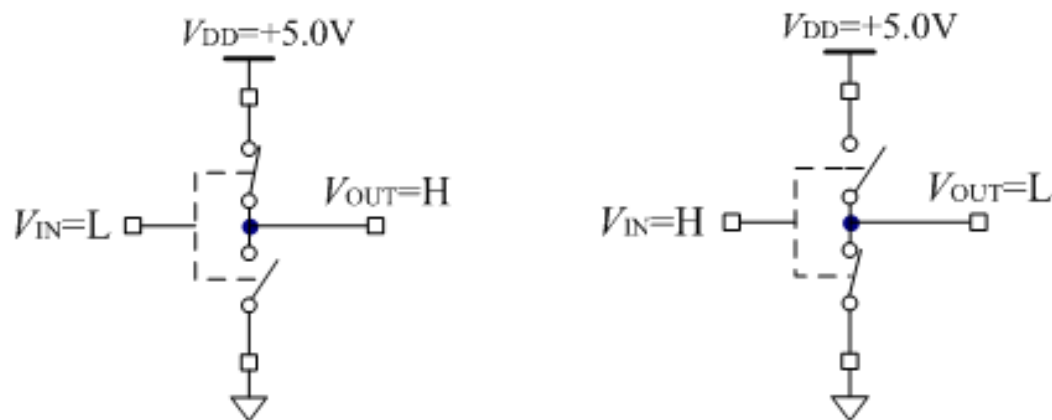


图 2-27 CMOS 反相器的等效开关模型

2.4 集成电路逻辑门

2.4.1 逻辑门及其基本结构与工作原理

2、CMOS或非门工作原理

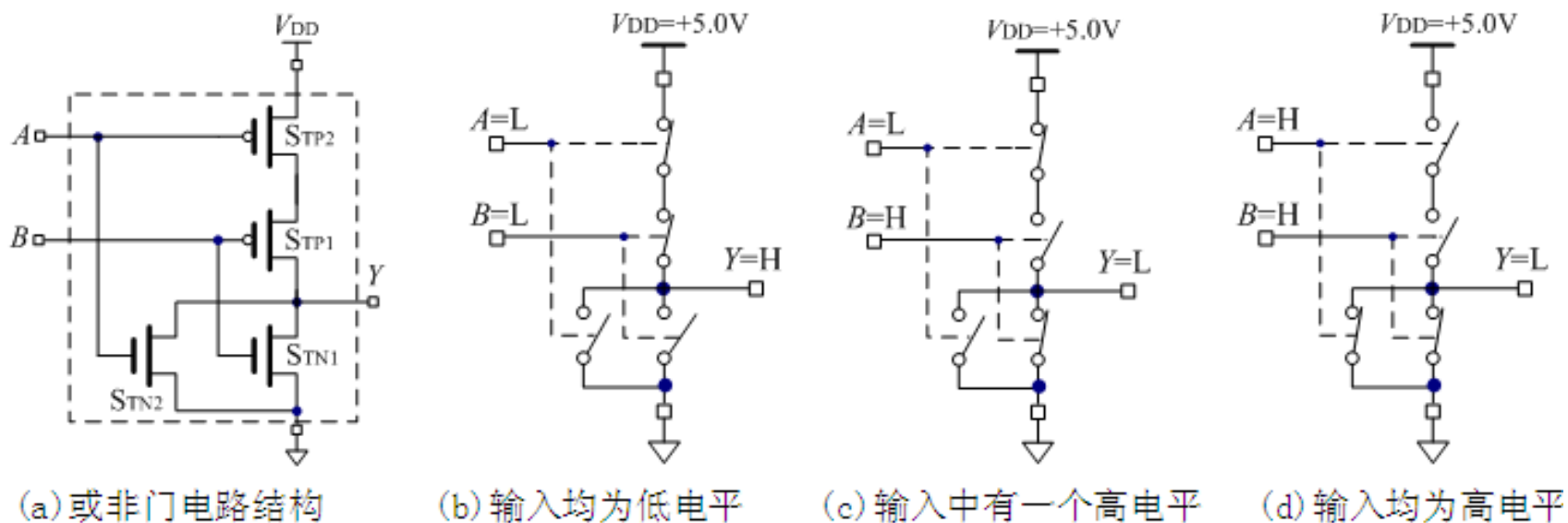


图2-28 CMOS或非门电路结构及其等效开关模型

2.4 集成电路逻辑门

2.4.1 逻辑门及其基本结构与工作原理

2、CMOS或非门工作原理

表 2-12 CMOS 或非门逻辑真值表

A	B	S_{TN1}	S_{TP1}	S_{TN2}	S_{TP2}	Y
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

2.4 集成电路逻辑门

2.4.1 逻辑门及其基本结构与工作原理

3、CMOS与非门工作原理

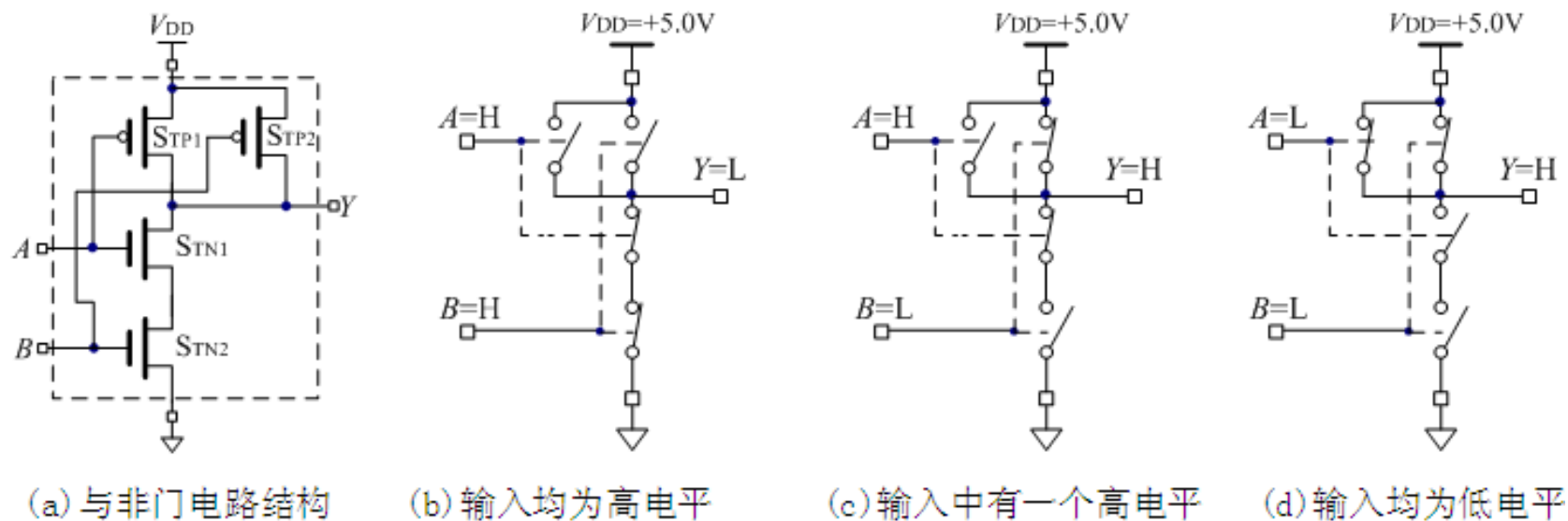


图 2-29 CMOS 与非门电路结构及其开关模型

2.4 集成电路逻辑门

2.4.2 CMOS传输门及其构建的逻辑门

1. 传输门的结构和性能特点

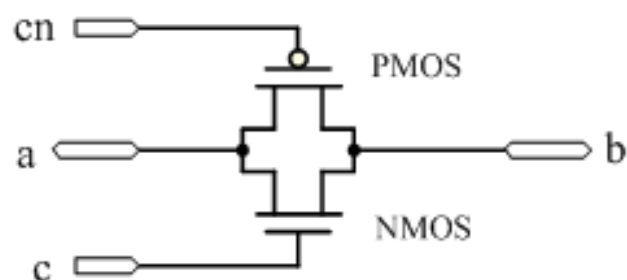


图 2-30 CMOS 传输门内部结构

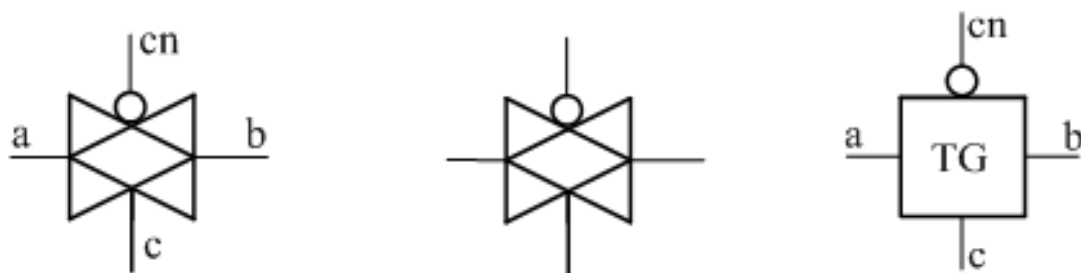
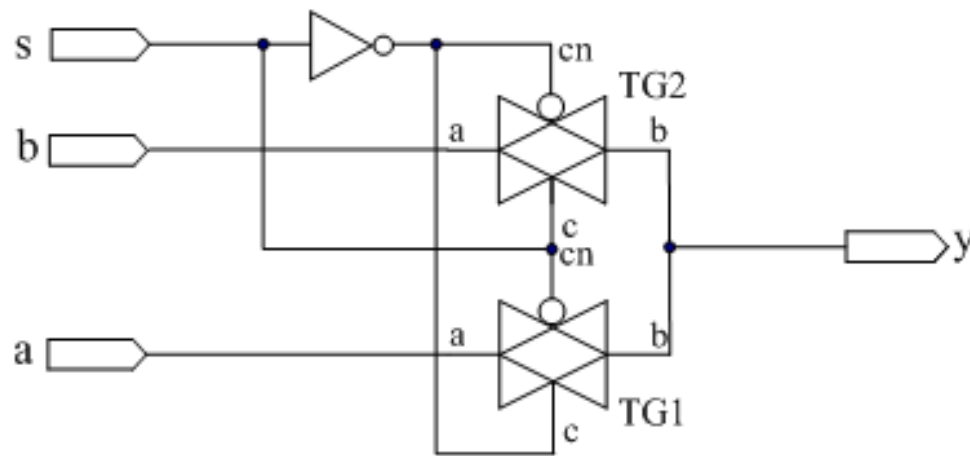


图 2-31 CMOS 传输门的电路符号

2.4 集成电路逻辑门

2.4.2 CMOS传输门及其构建的逻辑门

2. 用传输门构成逻辑电路



$$y = \bar{s} \cdot a + s \cdot b$$

图 2-32 CMOS 传输门构成的 2 选 1 多路选择器

2.4 集成电路逻辑门

2.4.3 TTL集成电路逻辑门及同类CMOS器件系列

表 2-13 TTL 系列速度及功耗的比较

速度	TTL 系列	功耗	TTL 系列
最快	74AS	最小	74L
	74S		74ALS
	74ALS		74LS
	74LS		74AS
	74		74
最慢	74L	最大	74S

- 74 : 标准 TTL (Standard TTL)。
- 74L : 低功耗 TTL (Low-power TTL)。
- 74S : 肖特基 TTL (Schottky TTL)。
- 74AS : 先进肖特基 TTL (Advanced Schottky TTL)。
- 74LS : 低功耗肖特基 TTL (Low-power Schottky TTL)。
- 74ALS : 先进低功耗肖特基 TTL (Advanced Low-power Schottky TTL)。

2.4 集成电路逻辑门

2.4.3 TTL集成电路逻辑门及同类CMOS器件系列

- 74HC 和 74HCT: 高速 CMOS (High-speed CMOS), T 表示和 TTL 直接兼容。
- 74AC 和 74ACT: 先进 CMOS (Advanced CMOS), 它们提供了比 TTL 系列更高的速度和更低的功耗。
- 74AHC 和 AHCT: 先进高速 CMOS (Advanced High-speed CMOS)。
74 系列 3.3V CMOS 门电路的基本子系列有:
- 74LVC: 低压 CMOS (Lower-voltage CMOS)。
- 74ALVC: 先进低压 CMOS (Advanced Lower-voltage CMOS)。

2.4 集成电路逻辑门

2.4.4 集成电路门的性能参数

1. 器件的工作电源电压

2. 逻辑器件的输入/输出逻辑电平

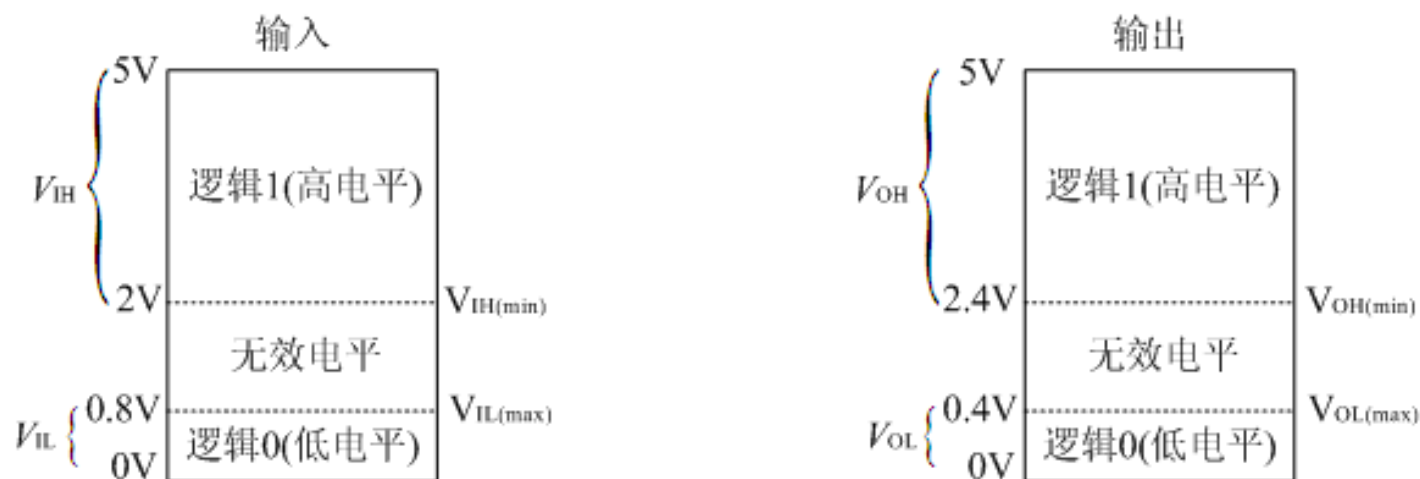


图 2-33 标准 TTL 门的输入/输出逻辑电平

2.4 集成电路逻辑门

2.4.4 集成电路门的性能参数

3. 逻辑信号传输延迟时间

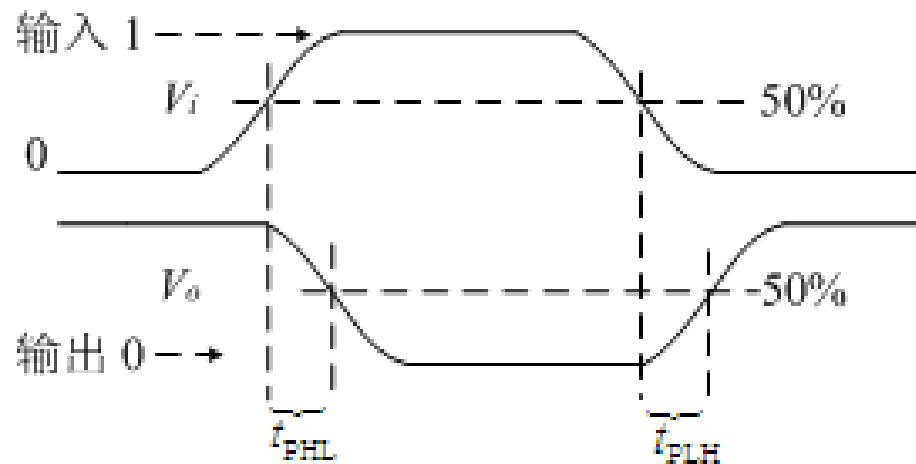


图 2-34 t_{PHL} 和 t_{PLH} 的定义

$$t_{pd} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

2.4 集成电路逻辑门

2.4.4 集成电路门的性能参数

4. 集成逻辑电路的扇入和扇出系数

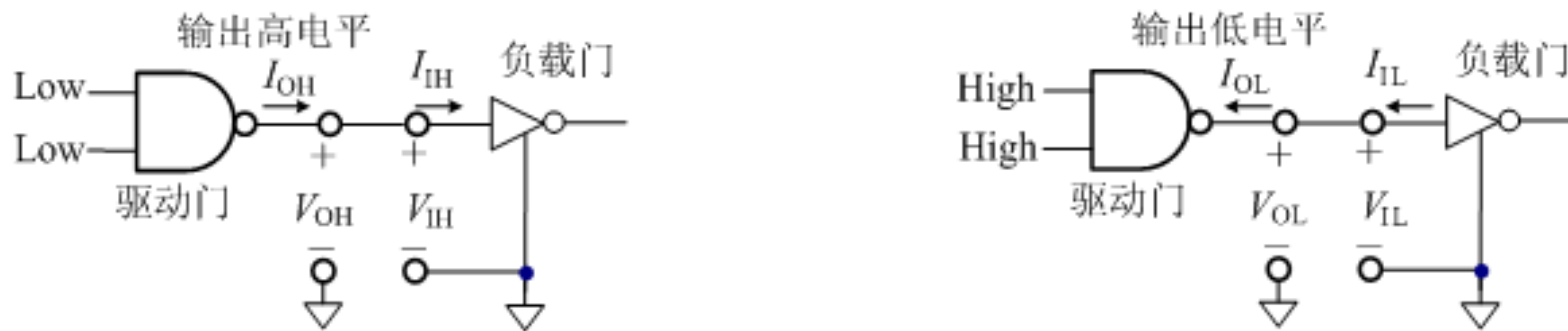


图 2-35 两种逻辑状态中的电流和电压

$$NOH = \frac{I_{OH(max)}}{I_{IH(max)}}$$

$$NOL = \frac{I_{OL(max)}}{I_{IL(max)}}$$

2.4 集成电路逻辑门

2.4.4 集成电路门的性能参数

4. 集成逻辑电路的扇入和扇出系数

【例 2-1】已知 74ALS00 的电流参数为 $I_{OL(max)} = 8mA$, $I_{IL(max)} = 0.1mA$, $I_{OH(max)} = 0.4mA$, $I_{IH(max)} = 20\mu A$ 。求一个 74ALS00 与非门输出能驱动多少个 74ALS00 与非门的输入。

解：首先考虑低电平状态。在低电平状态下得到能被驱动的输入个数：

$$NOL = \frac{I_{OL(max)}}{I_{IL(max)}} = \frac{8mA}{0.1mA} = 80$$

$$NOH = \frac{I_{OH(max)}}{I_{IH(max)}} = \frac{400\mu A}{20\mu A} = 20$$

2.4 集成电路逻辑门

2.4.4 集成电路门的性能参数

5. 集成逻辑门器件的功耗

$$P_D = V_{CC} \left(\frac{I_{CCH} + I_{CCL}}{2} \right)$$

2.4 集成电路逻辑门

2.4.5 TTL与CMOS集成电路的传统接口技术

表 2-14 TTL 门与 CMOS 门的连接条件

驱动门		负载门
$V_{OH(min)}$	$>$	$V_{IH(min)}$
$V_{OL(max)}$	$<$	$V_{IL(max)}$
I_{OH}	$>$	I_{IH}
I_{OL}	$>$	I_{IL}

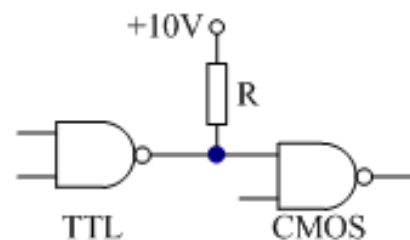


图 2-36 TTL 驱动门与 CMOS 负载门的连接

2.4 集成电路逻辑门

2.4.6 CMOS与TTL逻辑器件的封装

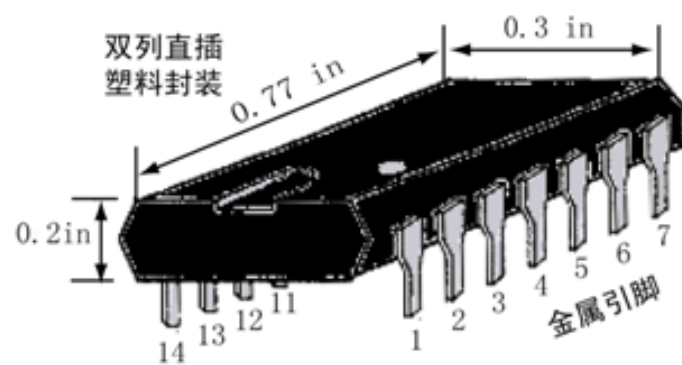
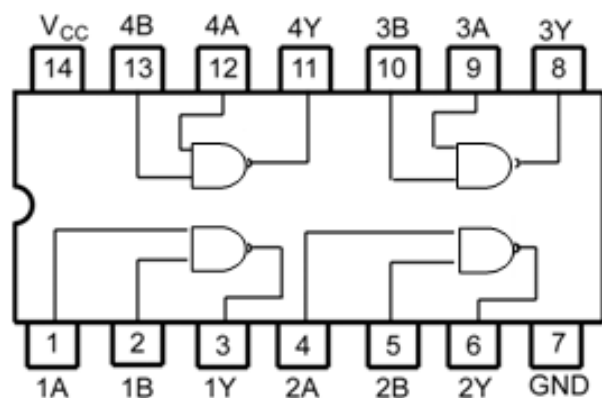


图 2-37 74LS00 引脚配置及 DIP 封装外形图

实验

2-1. 集成电路TTL和CMOS器件的逻辑功能和性能参数测试。

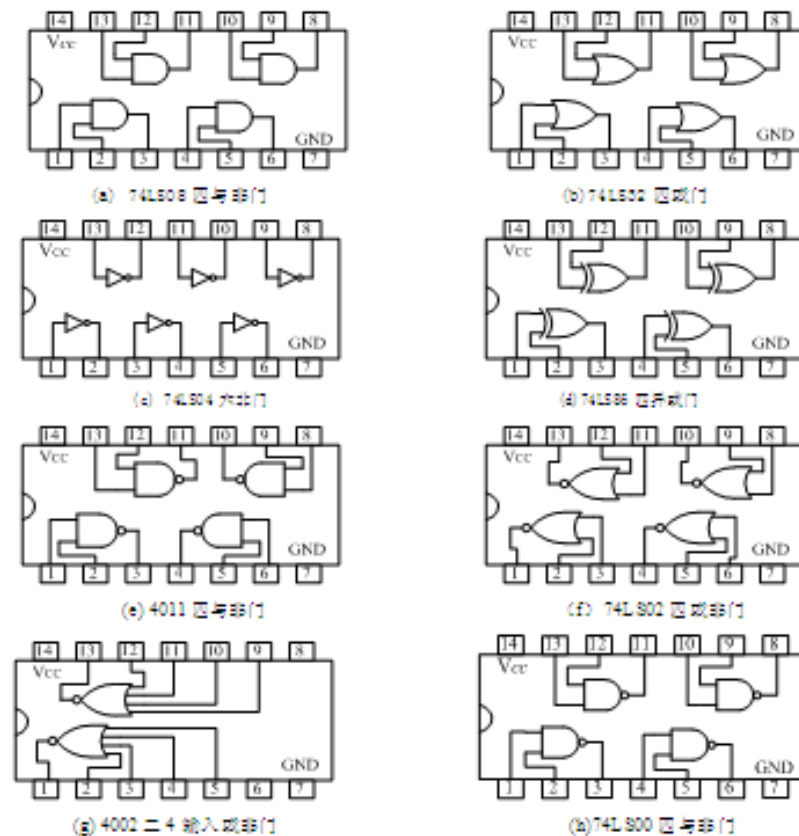


图 2-47 集成逻辑器件内部逻辑结构及引脚图